W500(HED10W07SN)芯片规格书

V1.0.0

北京联盛德微电子有限责任公司（winner micro）

地址：北京市海淀区上园村 3 号交大知行大厦七层

电话：+86-10-62161900

公司网址：www.winnermicro.com

文档历史

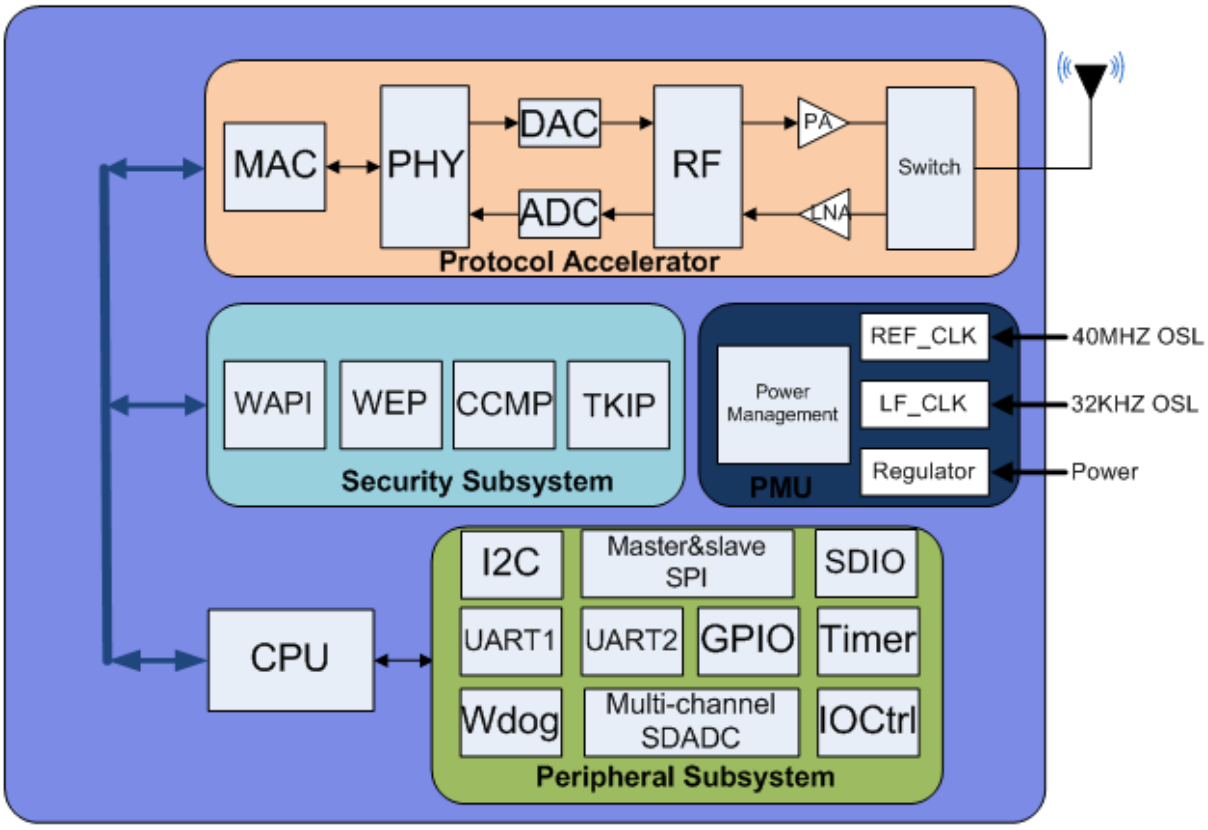
版本	完成日期	修订记录	作者	审核	批准
V1.0.0	2014-4-4	创建			

目录

1 产品简介 2
2 产品特性 2
3 封装规格及管脚定义 4
4 电特性 7
4.1 电气性能 7
5 封装信息 7

1 产品简介

本芯片是一款支持多接口、多协议的无线局域网 802.11n（1T1R）的 SOC 芯片。该 SOC 芯片集成射频收发前端 RF Transceiver，收发转换开关 TR-Switch、CMOS PA、10 比特高速 ADC、DAC，基带处理器/媒体访问控制，ARM946ES 处理器、SDIO、SPI、UART、GPIO 等接口、并集成 Sigma-Delta ADC 用于模拟信号采样的低功耗 WLAN 芯片。



W500(HED10W07SN) Functional Block Diagram

2 产品特性

支持 IEEE802.11b/g/i/e/n/WAPI

集成 MAC、BB、RF、PA、ADC、DAC 本振泄漏校准电路、射频开关

最大发射功率典型值：

11b：16±1dBm

11g：16±1dBm

11n：16±1dBm

接收灵敏度典型值：

11b：-91dBm

11g：-85dBm

11n：-85dBm

超低功耗设计：支持动态功耗管理，芯片工作分为 Work、Light Sleep、Deep Sleep、Standby 四种工作模式。

集成：

1）ARM9 RISC 处理器（ARM946E-S 处理器，8K ICache，8K DCache，主频 160MHz）；

2）384BK 片上指令 RAM；

3）ROM、EFUSE，其中 ROM 用来存放 CPU 上电后的初始化固件，主要完成工作固件的加载，芯片寄存器空间的初始配置等工作。EFUSE 用来存放芯片特征信息，包括 MAC 地址，物理层参数、厂商 ID 等；

4）ISRAM（指令 SRAM，存储 CPU 运行需要的指令）；

5）DSRAM（可用于存放指令或发送/接收数据）；

6）DMA 模块（实现数据在 SRAM 内、慢速设备之间、SRAM 与慢速设备之间的数据搬移；）；

7）安全模块： RC4，AES，SMS4，TKIP。

支持接口：

1）、1 个 SDIO2.0；

2）、2 个 UART 接口，波特率为 2M、带有 RTS/CTS 流控功能；

3）、1 个 SPI Host 接口，支持速率 20Mbps；

4）、1 个 SPI Device 接口，支持速率 50Mbps；

5）、1 个 I2C 接口，支持速率 100K/400K；

6）、19 个 GPIO 管脚；

7）、1 个 Sigma-Delta ADC，采样速率 4M，支持两路差分或 4 路单端信号采集；

网络模式：

支持 BSS 网络 AP 工作模式；

支持 BSS 网络 STA 工作模式；

支持 BSS 网络总数为五个的 STA 和 AP 同时工作模式；

支持 IBSS 网络

接入容量：

BSS 网络作为 AP 使用时，加密时支持站点与组播的总和为 32 个；

IBSS 网络中加密时支持 16 个站点（以上站点数不包括本地站点）；

支持多种节能机制：支持 802.11e U-APSD 节能机制；WiFi WMM-PS 节能机制；BSS 中的 PS-POLL 节能机制；

支持低成本的 40MHz 晶体

安全性：支持 WEP64、WEP128 加密，支持 CCMP、TKIP、wapi2.0

网络共存：支持 B/G/N 保护，支持 20M/40M 共存，支持的信道保护方式为：RTS/CTS 保

护，CTS-to-self 保护；
快速便利的测试方案：通过测试寄存器即可检查芯片状态

3 封装规格及管脚定义

该芯片采用 QFN88 封装，表 3.1 给出了 QFN88 封装的管脚定义

表 3.1 QFN88 封装管脚定义

管脚编号	管脚名称	管脚特性	说明
1	VDD_DIG	P	数字输入电源，3.3V
2	XTAL_IN	I	40MHz 晶体输入端
3	XTAL_OUT	O	40MHz 晶体输出端
4	VSS_DLDO	G	数字 LDO 地
5	DLDO_OUT	P	数字 LDO 输出电源，1.2V
6	DLDO_IN	P	数字 LDO 输入电源，1.5V
7	VDD_ISO1	P	数字和模拟电源域之间的电源隔离管脚，3.3V
8	VSS_ADDA_D	G	AD/DA 数字地
9	VDD_ADDA_D	P	LDO 输出 AD/DA 数字电源，1.2V
10	ALDO_IN3	P	模拟 LDO 输入电源，1.5V
11	VDD2P8_DA	P	LDO 输出 DA 电源，2.8V
12	VDD3P3_DA	P	DA 输入电源，3.3V
13	VDD_ADDA_A	P	LDO 输出 AD/DA 电源，1.2V
14	BGR_REX	AIO	外接一个阻值为 24KΩ 的下拉电阻到地
15	VDD3P3_BGR	P	BandGap 输入电源，3.3V
16	VDD_PRE	P	LDO 输出预分频器电源，1.2V
17	VDD_CP	P	LDO 输出电荷泵电源，1.2V
18	VSS_CP	G	电荷泵地
19	VDD_VCO	P	LDO 输出 VCO 电源，1.2V
20	ALDO_IN2	P	模拟 LDO 输入电源，1.5V
21	VDD_LO	P	LDO 输出本振缓冲器电源，1.2V
22	VDD_DMIF	P	LDO 输出下变频及中频接收部分电源，1.2V
23	ALDO_IN1	P	模拟 LDO 输入电源，1.5V
24	VDD_LNA	P	LDO 输出 LNA 电源，1.2V
25	RF_INN	AI	射频接收信号输入端

26	RF_INP	AI	射频接收信号输入端
27	VDD3P3_TRSW	P	射频收发开关输入电源，3.3V
28	VDD2P5_SWITCH	P	LDO 输出射频收发开关电源，2.5V
29	ANTP	AIO	射频信号输入/输出端
30	ANTN	AIO	射频信号输入/输出端
31	VDD3P3_PA2	P	PA 输入电源，3.3V
32	VDD_UMPA	P	LDO 输出上变频器及 PA 电源，1.2V
33	XTAL32_IN	I	32.768KHz 晶体输入端
34	XTAL32_OUT	O	32.768KHz 晶体输出端
35	CVDD_PMU	P	PMU 输入电源，1.2V
36	VSS_PMU	G	PMU 地
37	CHIP_PWR_ON	I	32.768KHz 晶振工作使能，高有效 该管脚有效后，芯片才能开始正常工作
38	CHIP_AWAKE	I	芯片低功耗模式下唤醒管脚，极性可配置
39	RST_N	I	芯片全局复位信号，低有效
40	BOD_DET	AI	BOD 检测电压，接 3.3V 电源
41	PVDD3P3_PMU	P	PMU 输入电源，3.3V
42	VDD3P3_BGR_D	P	数字 BandGap 输入电源，3.3V
43	EFUSE_VDDQ	P	EFUSE 编程电源，2.5V
44	LDO_BB1_IN	P	数字 LDO 输入电源，1.5V
45	DC_DC_EN	O	片外 DC-DC 使能信号，高有效
46	EFUSE_PGM_EN	I	EFUSE 编程使能
47	LDO_BB1_OUT	P	LDO 输出数字电源，1.2V
48	VSS1_WLAN	G	WLAN 电源域地
49	PVDD1_WLAN	P	WLAN 电源域输入电源，3.3V
50	SDIO_CLK	I	SDIO 输入时钟 复用为 H-SPI 输入时钟
51	BOOT_MODE0	IO	芯片加载模式选择 复用为 GPIO0
52	BOOT_MODE1	IO	芯片加载模式选择 复用为 GPIO1
53	SDIO_CMD	IO	SDIO 总线 CMD 信号 复用为（H-SPI）INT，（UART1）RXD，GPIO7
54	SDIO_DAT0	IO	SDIO 总线 DAT0 信号

			复用为（H-SPI）CS，GPIO3
55	SDIO_DAT1	IO	SDIO 总线 DAT1 信号 复用为（H-SPI）DI，GPIO4
56	SDIO_DAT2	IO	SDIO 总线 DAT2 信号 复用为（H-SPI）DO，GPIO5
57	SDIO_DAT3	IO	SDIO 总线 DAT3 信号 复用为（UART1）TXD，GPIO6
58	I2C_SCL	IO	I2C 总线 SCL 信号 复用为（UART1）CTS，EFUSE_SEL1， GPIO8
59	I2C_DAT	IO	I2C 总线 DAT 信号 复用为（UART1）RTS，EFUSE_SEL2，GPIO9
60	JTAG_TMS	IO	JTAG 测试 TMS 信号 复用为 GPIO11
61	JTAG_TDI	IO	JTAG 测试 TDI 信号 复用为 GPIO12
62	JTAG_TDO	IO	JTAG 测试 TDO 信号 复用为 GPIO13
63	VSS2_WLAN	G	WLAN 电源域地
64	LDO_BB2_OUT	P	数字 LDO 输出电源，1.2V
65	LDO_BB2_IN	P	数字 LDO 输入电源，1.5V
66	PVDD2_WLAN	P	WLAN 电源域输入电源，3.3V
67	BOOT_MODE2	IO	芯片加载模式选择 复用为 GPIO2
68	JTAG_TCK	IO	JTAG 测试时钟
69	JTAG_TRST	IO	JTAG 测试复位信号
70	EFUSE_SCK	IO	EFUSE 时钟信号 复用为（LS-SPI）CK，GPIO10
71	UART0_TXD	IO	UART0 的 TXD 信号 复用为 WLAN_ACTIVE，GPIO14
72	UART0_RXD	IO	UART0 的 RXD 信号 复用为 BT_PRIORITY，GPIO15
73	EFUSE_CSB	IO	EFUSE 的 CSB 信号 复用为（LS-SPI）CS，GPIO18
74	EFUSE_PGM	IO	EFUSE 的 PGM 信号

			复用为（LS-SPI）DI，GPIO19
75	EFUSE_DOUT	IO	EFUSE 的 DOUT 信号 复用为（LS-SPI）DO，GPIO20
76	VSS3_WLAN	G	WLAN 电源域地
77	LDO_BB3_OUT	P	数字 LDO 输出电源，1.2V
78	LDO_BB3_IN	P	数字 LDO 输入电源，1.5V
79	LDO_DPLL_IN	P	DPLL 的 LDO 输入电源，1.5V
80	TX_EN	O	RF 发射状态指示信号，高有效
81	RX_EN	O	RF 接收状态指示信号，高有效
82	PA_ON	O	片外 PA 使能信号，高有效
83	SDADC_AIN3	A	SDADC 模拟输入端口 3
84	SDADC_AIN2	A	SDADC 模拟输入端口 2
85	SDADC_AIN1	A	SDADC 模拟输入端口 1
86	SDADC_AIN0	A	SDADC 模拟输入端口 0
87	VDD33_SDADC	P	SDADC 输入电源，3.3V
88	LDO_DPLL_OUT	P	DPLL 的 LDO 输出电源，1.2V

4 电特性

4.1 电气性能

芯片电源及 I/O 电压参数(27 环境下)：

表 4.1 直流电气特性

参数		最小值	典型值	最大值	单位
3.3V 电源	供电电源	3.0	3.3	3.6	V
1.5V 电源	供电电源	1.35	1.5	1.65	V
1.2V 电源	供电电源	1.08	1.2	1.32	V
II	输入漏电流	-1		1	uA
VIL	输入低电压	-0.3		0.8	V
VIH	输入高电平	2		3.6	V
VOL	输出低电平	-		0.4	V
VOH	输出高电平	2.4		-	V

5 封装信息

图 5.1 和表 5.1 中给出了 QFN88 封装的相关参数

图 5.1 **QFN88** 封装参数

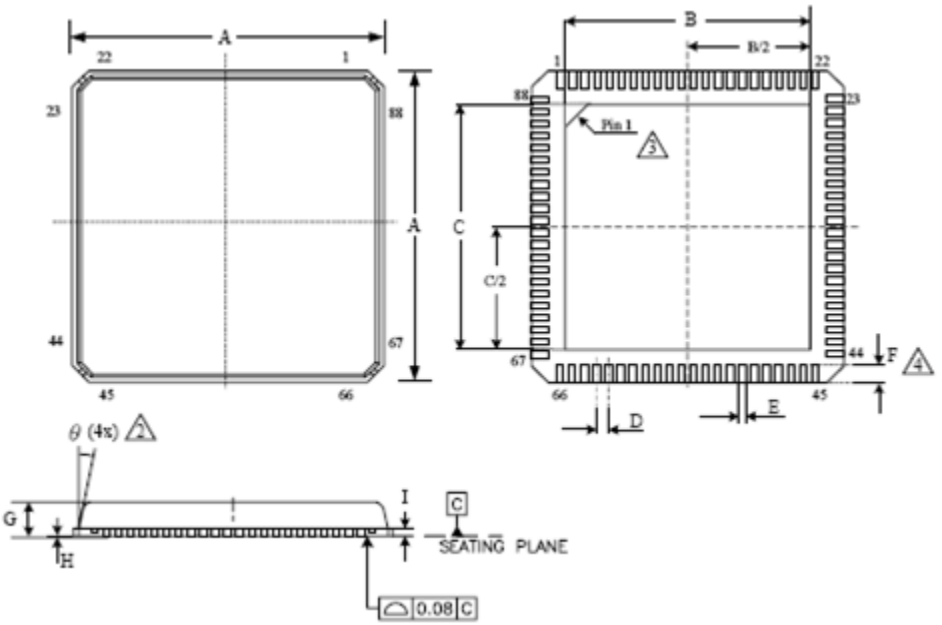


表 5.1 **QFN88** 封装参数表

No. of Leads		SYMBOL								
88(10x10)		A	B	C	D	E	F	G	H	II
Milli-meters	MIN	10	6.60	6.60	0.4	0.15	0.35	0.7	0	0.203
	MAX		8.25	8.25		0.25	0.60	0.9	0.05	