

特点

- 最高采样速率: 105 MSPS
- 高信噪比(SNR): 77dBc @ 10MHz and 105MSPS
- 无杂散动态范围(SFDR): 90dBc @ 10MHz and 105MSPS
- 中频采样频率达 300MHz
- 1.8V 单电源供电
- 低功耗: 730mW (105 MSPS)
- 1.8V CMOS输出
- 1至8整数时钟输入分频器
- 集成ADC时钟占空比稳定器
- 多芯片同步功能
- 可编程ADC内部基准电压源
- 灵活的模拟输入范围: 1.25V峰峰值至2.25V峰峰值
- 节能的掉电模式
- 大于90dB的通道隔离度
- 串行端口控制
- 与AD9258系列引脚兼容

应用

- 通信
- 移动电话基站
- 通用软件无线电
- 宽带数据应用
- X射线、核磁共振与超声设备

功能框图

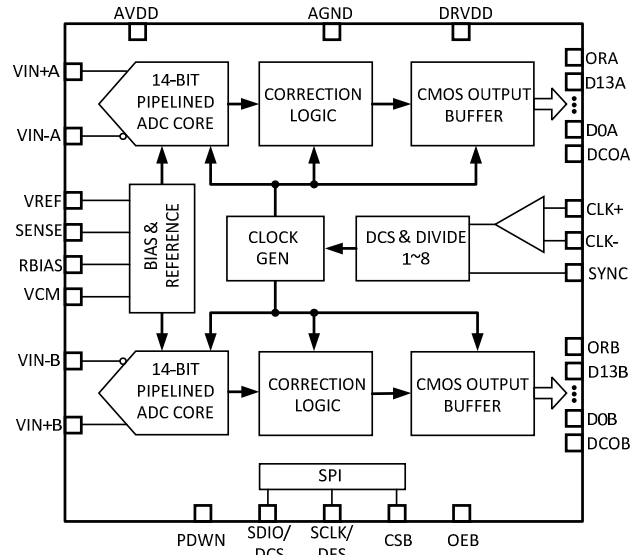


图 1

产品描述

BLAD14D105是一款14位、双通道、105 MSPS的模数转换器(ADC)。旨在支持需要高带宽、高动态性能的通信与医疗成像应用。这款双通道ADC内核采用多级、差分流水线架构。每个ADC均具有宽带宽、差分采样保持模拟输入放大器,支持用户可选的各种输入范围。集成基准电压源可简化设计。占空比稳定器用来补偿ADC时钟占空比的波动,使转换器保持出色的性能。SYNC输入允许多个芯片的同步。需要时,灵活的掉电选项可以明显降低功耗。

ADC输出数据可以直接送至两个外部14位输出端口,这些输出应设置为1.8 V CMOS。

设置与控制的编程利用三线式SPI兼容型串行接口来完成。

BLAD14D105采用64引脚QFN封装,额定温度范围为-40°C至+85°C工业级温度范围。

目录

特点.....	1	功耗和待机模式.....	18
应用.....	1	数字输出.....	18
功能框图.....	1	时序.....	18
产品描述.....	1	设计指南.....	20
目录.....	2	电源和接地建议.....	20
修订历史.....	2	裸露焊盘散热块建议.....	20
技术规格.....	3	VCM.....	20
ADC直流规格.....	3	RBIAS.....	20
ADC交流规格.....	4	基准电压源去耦.....	20
数字规格.....	5	SPI端口.....	20
开关规格.....	6	串行端口接口(SPI).....	21
时序规格.....	7	使用SPI的配置.....	21
绝对最大额定值.....	8	硬件接口.....	21
热特性.....	8	不使用SPI的配置.....	21
引脚配置和功能描述.....	9	存储器映射.....	22
典型工作特性.....	11	读取存储器映射寄存器表.....	22
BLAD14D105 (105MSPS).....	11	存储器映像寄存器表.....	23
等效电路.....	13	外形尺寸.....	25
应用信息.....	15		
工作原理.....	15		
模拟输入考虑.....	15		
基准电压源.....	16		
时钟输入考虑.....	16		
通道/芯片同步.....	18		

修订历史

2013年10月 修订版0: 初始版

技术规格

ADC直流规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、最大采样速率、VIN=-1.0 dBFS差分输入、2.25 V峰峰满幅输入范围，DCS使能。

表 1.

参数	温度	BLAD14D105 (105MSPS)			单位
		最小值	典型值	最大值	
分辨率	全	14			位
精度					
无失码	全		保证		
失调误差	25°C		±0.2		%FSR
增益误差	25°C				%FSR
积分非线性(INL)	25°C		±1.5		LSB
微分非线性(DNL)	全				LSB
微分非线性(DNL)	25°C		±0.25		LSB
微分非线性(DNL)	全				LSB
匹配特性					
失调误差	全		±0.2		%FSR
增益误差	全				%FSR
温度漂移					
失调误差	全		±6		ppm/°C
增益误差	全		±100		ppm/°C
输入端参考噪声					
VREF=1.125V	25°C		0.7		LSB _{rms}
模拟输入					
输入范围, VREF=1.125V	全		2.25		Vp-p
输入电容	全		10		pF
输入电阻	全				kΩ
输入共模电压	全		0.9		V
基准电压输入阻抗			8		kΩ
内部基准电压					
输入电压误差 (1V模式)	全		±5		mV
负载调整率 @ 1.0 mA	全				mV
电源					
电源电压					
AVDD	全	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	V
电源电流					
I _{AVDD}	全		377		mA
I _{DRVDD} (1.8V CMOS)	全		39		mA
功耗					
直流输入	全		729		mW
正弦波输入					
(1.8V CMOS)	全		749		mW
待机功耗	全		205		mW
掉电功耗	全		11		mW

BLAD14D105

ADC交流规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、最大采样速率、VIN=-1.0 dBFS差分输入、2.25 V峰峰满幅输入范围，DCS使能。

表 2

参数	温度	BLAD14D105 (105MSPS)			单位
		最小值	典型值	最大值	
信噪比(SNR)					
$f_{IN}=10\text{MHz}$	25°C		78		dBFS
$f_{IN}=30\text{MHz}$	25°C		77.5		dBFS
$f_{IN}=70\text{MHz}$	25°C		75.4		dBFS
$f_{IN}=140\text{MHz}$	25°C		73.1		dBFS
$f_{IN}=200\text{MHz}$	25°C		70.7		dBFS
信噪失真比(SINAD)					
$f_{IN}=10\text{MHz}$	25°C		78		dBFS
$f_{IN}=30\text{MHz}$	25°C		77.2		dBFS
$f_{IN}=70\text{MHz}$	25°C		75.2		dBFS
$f_{IN}=140\text{MHz}$	25°C		72.9		dBFS
$f_{IN}=200\text{MHz}$	25°C		70.4		dBFS
有效位数(ENOB)					
$f_{IN}=10\text{MHz}$	25°C		12.4		Bits
$f_{IN}=30\text{MHz}$	25°C		12.3		Bits
$f_{IN}=70\text{MHz}$	25°C		12.0		Bits
$f_{IN}=140\text{MHz}$	25°C		11.7		Bits
$f_{IN}=200\text{MHz}$	25°C		11.2		Bits
最差二次/三次谐波					
$f_{IN}=10\text{MHz}$	25°C		-93.8		dBc
$f_{IN}=30\text{MHz}$	25°C		-89.5		dBc
$f_{IN}=70\text{MHz}$	25°C		-93.8		dBc
$f_{IN}=140\text{MHz}$	25°C		-86.4		dBc
$f_{IN}=200\text{MHz}$	25°C		-84.4		dBc
无杂散动态范围(SFDR)					
$f_{IN}=10\text{MHz}$	25°C		93.8		dBFS
$f_{IN}=30\text{MHz}$	25°C		89.5		dBFS
$f_{IN}=70\text{MHz}$	25°C		93.8		dBFS
$f_{IN}=140\text{MHz}$	25°C		85.6		dBFS
$f_{IN}=200\text{MHz}$	25°C		84.4		dBFS
最差其他谐波或杂散					
$f_{IN}=10\text{MHz}$	25°C		-96.5		dBc
$f_{IN}=30\text{MHz}$	25°C		-93.5		dBc
$f_{IN}=70\text{MHz}$	25°C		-95.4		dBc
$f_{IN}=140\text{MHz}$	25°C		-100		dBc
$f_{IN}=200\text{MHz}$	25°C		-87.6		dBc
双音无杂散动态范围(SFDR)					
$f_{IN}=28.1\text{MHz}(-7\text{dBFS}), 32.1\text{MHz}(-7\text{dBFS})$	25°C		87.5		dBc
$f_{IN}=133.1\text{MHz}(-7\text{dBFS}), 147.1\text{MHz}(-7\text{dBFS})$	25°C		84.3		dBc
串扰 ¹			91		dB
模拟输入带宽	25°C		650		MHz

¹ 串扰测试条件：在一个通道上加入140MHz -1dBFS正弦信号，测量另外一个通道的输出幅度

数字规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、最大采样速率、VIN=-1.0 dBFS差分输入、2.25 V峰峰满幅输入范围，DCS使能。

表 3

参数	温度	最小值	典型值	最大值	单位
差分时钟输入(CLK+, CLK-)					
逻辑兼容	全		CMOS/LVDS/LVPECL		
内部共模偏置	全		0.9		V
差分输入电压	全	0.3		3.6	Vp-p
输入电压范围	全	AGND		AVDD	V
输入共模范围	全	0.9		1.4	V
高电平输入电流	全	-91		91	μA
低电平输入电流	全	-91		91	μA
输入电容	全		4		pF
输入电阻	全		11		kΩ
同步输入(SYNC)					
逻辑兼容	全		CMOS		
内部偏置	全		0.9		V
输入电压范围	全	AGND		AVDD	V
高电平输入电压	全	1.2		AVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-100		100	μA
低电平输入电流	全	-100		100	μA
输入电容	全		1		pF
输入电阻	全		17		kΩ
逻辑输入(CSB)					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	40		132	μA
输入电容	全		2		pF
输入电阻	全		26		kΩ
逻辑输入(SCLK/DFS)					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-92		-135	μA
低电平输入电流	全	-10		+10	μA
输入电容	全		2		pF
输入电阻	全		26		kΩ
逻辑输入(SDIO/DCS)					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	38		128	μA
输入电容	全		5		pF
输入电阻	全		26		kΩ
逻辑输入(OEB, PDWN)					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-90		-134	μA
低电平输入电流	全	-10		+10	μA
输入电容	全		5		pF

BLAD14D105

参数	温度	最小值	典型值	最大值	单位
输入电阻	全		26		kΩ
数字输出					
1.8V CMOS输出模式					
高电平输入电压					
$I_{OH}=50\mu A$	全	1.79			V
$I_{OH}=0.5mA$	全	1.75			V
低电平输入电流					
$I_{OL}=50\mu A$	全			0.2	V
$I_{OL}=0.5mA$	全			0.05	V

开关规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、最大采样速率、VIN=-1.0 dBFS差分输入、2.25 V峰峰满幅输入范围，DCS使能。

表 4

参数	温度	BLAD14D105 (105MSPS)			单位
		最小值	典型值	最大值	
时钟输入参数					
输入时钟速率	全			625	MHz
转换速率	全			105	MSPS
时钟周期 一分频模式(t_{CLK})	全		9.52		ns
时钟脉冲高电平(t_{CH})					
一分频模式，DCS使能	全		4.76		ns
一分频模式，DCS禁用	全		4.76		ns
二分频至八分频模式	全				ns
孔径延迟(t_A)	全		0.6		ns
孔径不确定 (抖动, t_j)	全				pS_{rms}
数据输出参数					
CMOS模式					ns
数据传播延迟(t_{PD})	全		4.8		ns
DCO传播延迟(t_{DCO})	全		4.6		ns
DCO至数据偏斜(t_{SKEW})	全		0.2		ns
CMOS模式流水线延迟(Latency)	全		14		Cycles
唤醒时间 (由掉电模式)	全		1		ms
超范围恢复时间	全				Cycles

时序规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、最大采样速率、VIN=-1.0 dBFS差分输入、2.25 V峰峰满幅输入范围，DCS使能。

表 5

参数	条件	限值
同步时序要求		
$t_{S,SYNC}$	SYNC至CLK+上升沿的建立时间	0.3ns,典型值
$t_{H,SYNC}$	SYNC至CLK+上升沿的保持时间	0.4ns,典型值
SPI时序要求		
t_{DS}	数据与SCLK上升沿之间的建立时间	≥ 2 ns,最小值
t_{DH}	数据与SCLK上升沿之间的保持时间	≥ 2 ns,最小值
t_{CLK}	SCLK周期	≥ 40 ns,最小值
t_S	CSB与SCLK之间的建立时间	≥ 2 ns,最小值
t_H	CSB与SCLK之间的保持时间	≥ 2 ns,最小值
t_{HIGH}	SCLK高电平脉冲宽度	≥ 10 ns,最小值
t_{LOW}	SCLK低电平脉冲宽度	≥ 10 ns,最小值
t_{EN_SDIO}	相对于SCLK下降沿，SDIO从输入状态到输出状态所需的时间	≥ 10 ns,最小值
t_{DIS_SDIO}	相对于SCLK上升沿，SDIO从输入状态到输出状态所需的时间	≥ 10 ns,最小值

时序图

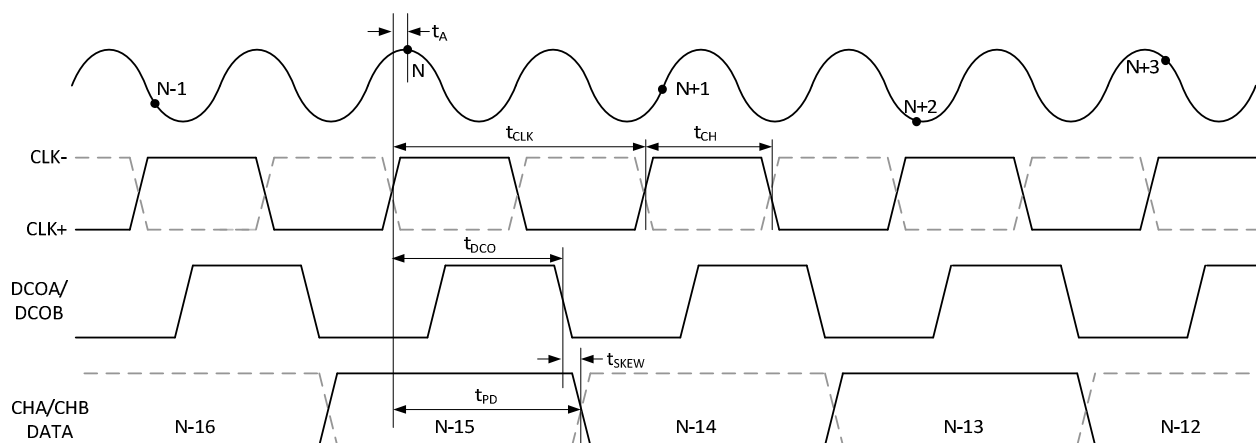


图 2. CMOS默认输出模式数据输出时序

绝对最大额定值

表 6

参数	额定值
电气参数	
AVDD至AGND	-0.3V至+2V
DRVDD至AGND	-0.3V至+2V
VIN+A, VIN-A至AGND	-0.3V至AVDD+0.2V
VIN+B, VIN-B至AGND	-0.3V至AVDD+0.2V
CLK+, CLK-至AGND	-0.3V至AVDD+0.2V
SYNC至AGND	-0.3V至AVDD+0.2V
VREF至AGND	-0.3V至AVDD+0.2V
SENSE至AGND	-0.3V至AVDD+0.2V
VCM至AGND	-0.3V至AVDD+0.2V
RBIAS至AGND	-0.3V至AVDD+0.2V
CSB至AGND	-0.3V至DRVDD+0.2V
SCLK/DFS至AGND	-0.3V至DRVDD+0.2V
SDIO/DCS至AGND	-0.3V至DRVDD+0.2V
OEB	-0.3V至DRVDD+0.2V
PDWN	-0.3V至DRVDD+0.2V
D0A~D15A至AGND	-0.3V至DRVDD+0.2V
ORA, DCOA至AGND	-0.3V至DRVDD+0.2V
D0B~D15B至AGND	-0.3V至DRVDD+0.2V
ORB, DCOB至AGND	-0.3V至DRVDD+0.2V
环境参数	
工作温度范围 (环境)	-40°C至+85°C
偏置条件下的最大结温	150°C
存储温度范围 (环境)	-65°C至150°C

热特性

表 7

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	单位
64引脚					°C/W
QFN					°C/W

引脚配置和功能描述

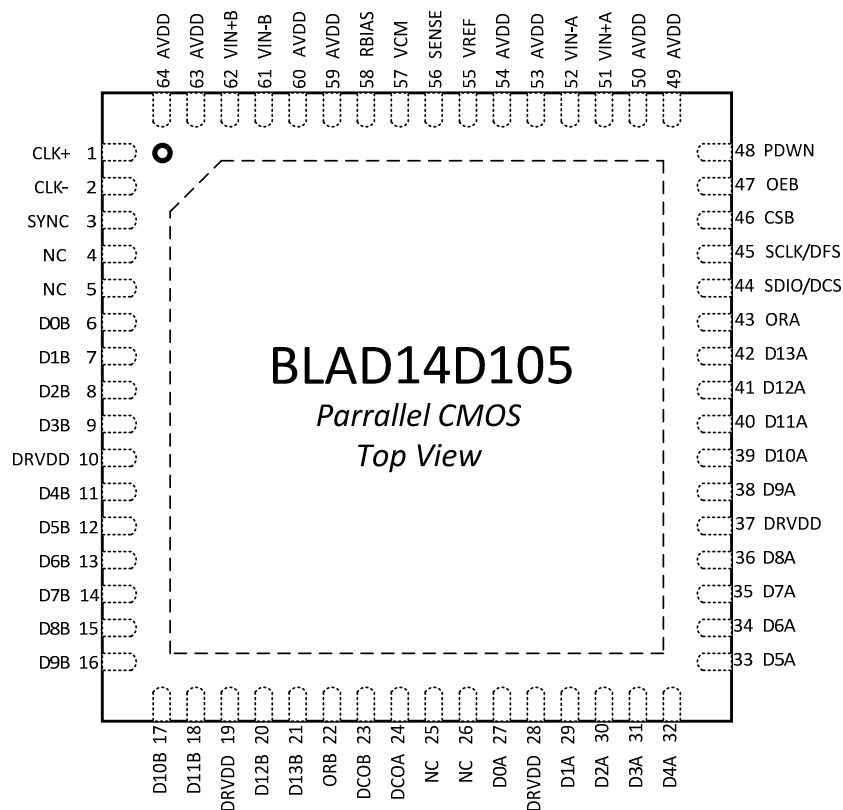


图 3. QFN并行CMOS引脚配置 (顶视图)

引脚编号	引脚名称	类型	描述
ADC电源			
49, 50, 53, 54, 59, 60, 63, 64	AVDD	电源	模拟电源(标称值1.8 V)
10, 19, 28, 37	DRVDD	电源	数字输出驱动器电源(标称值1.8 V)
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连,才能正常工作。
ADC模拟			
51	VIN+A	输入	通道A的差分模拟输入引脚(+)
52	VIN-A	输入	通道A的差分模拟输入引脚(-)
62	VIN+B	输入	通道B的差分模拟输入引脚(+)
61	VIN-B	输入	通道B的差分模拟输入引脚(-)
1	CLK+	输入	ADC时钟输入(+)
2	CLK-	输入	ADC时钟输入(-)
55	VREF	输入/输出	基准电压输入/输出
56	SENSE	输入	基准电压模式选择
57	VCM	输入	模拟输入的共模电平偏置输出
58	RBIAS	输入/输出	外部基准偏置电阻
数字输入			
3	SYNC	输入	数字同步引脚,仅用于从机模式
数字输出			
25	NC	NC	该引脚勿连接
26	NC	NC	该引脚勿连接
27	DOA(LSB)	输出	通道A CMOS输出数据

BLAD14D105

引脚编号	引脚名称	类型	描述
29	D1A	输出	通道A CMOS输出数据
30	D2A	输出	通道A CMOS输出数据
31	D3A	输出	通道A CMOS输出数据
32	D4A	输出	通道A CMOS输出数据
33	D5A	输出	通道A CMOS输出数据
34	D6A	输出	通道A CMOS输出数据
35	D7A	输出	通道A CMOS输出数据
36	D8A	输出	通道A CMOS输出数据
38	D9A	输出	通道A CMOS输出数据
39	D10A	输出	通道A CMOS输出数据
40	D11A	输出	通道A CMOS输出数据
41	D12A	输出	通道A CMOS输出数据
42	D13A(MSB)	输出	通道A CMOS输出数据
43	ORA	输出	通道A超量程指示输出
4	NC	NC	该引脚勿连接
5	NC	NC	该引脚勿连接
6	D0B(LSB)	输出	通道B CMOS输出数据
7	D1B	输出	通道B CMOS输出数据
8	D2B	输出	通道B CMOS输出数据
9	D3B	输出	通道B CMOS输出数据
11	D4B	输出	通道B CMOS输出数据
12	D5B	输出	通道B CMOS输出数据
13	D6B	输出	通道B CMOS输出数据
14	D7B	输出	通道B CMOS输出数据
15	D8B	输出	通道B CMOS输出数据
16	D9B	输出	通道B CMOS输出数据
17	D10B	输出	通道B CMOS输出数据
18	D11B	输出	通道B CMOS输出数据
20	D12B	输出	通道B CMOS输出数据
21	D13B(MSB)	输出	通道B CMOS输出数据
22	ORB	输出	通道B超量程指示输出
23	DCOB	输出	通道B数据时钟输出
24	DCOA	输出	通道A数据时钟输出
SPI控制			
44	SDIO/DCS	输入/输出	在外部引脚模式下，SPI串行时钟/数据格式选择引脚
45	SCLK/DFS	输入	在外部引脚模式下，SPI串行数据输入/输出/占空比稳定器引脚
46	CSB	输入	SPI片选(低电平有效)
ADC配置			
47	OEB	输入	在外部引脚模式下，输出使能输入(低电平有效)引脚
48	PDWN	输入	在外部引脚模式下，掉电输入引脚。在SPI模式下，此输入引脚可以配置为掉电或待机引脚

典型工作特性

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、额定采样速率、VIN=-1.0 dBFS差分输入、2.25 V峰峰满幅输入范围，DCS使能。

BLAD14D105 (105MSPS)

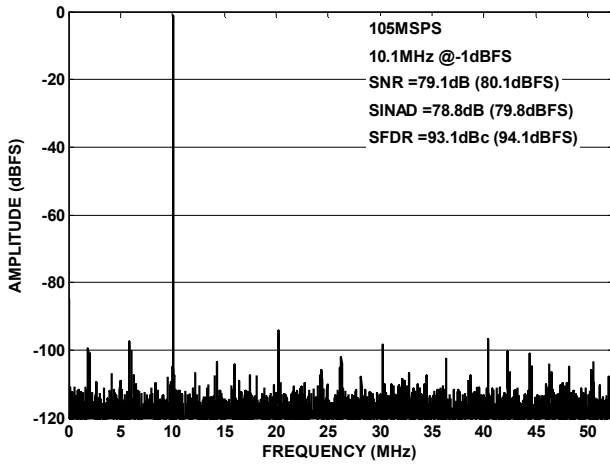


图 4. BLAD14D105 单音FFT($f_{IN} = 10.1\text{MHz}$)

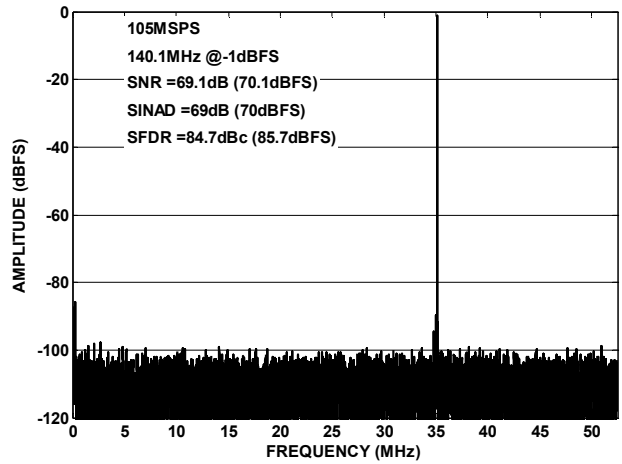


图 7. BLAD14D105 单音FFT($f_{IN} = 140.1\text{MHz}$)

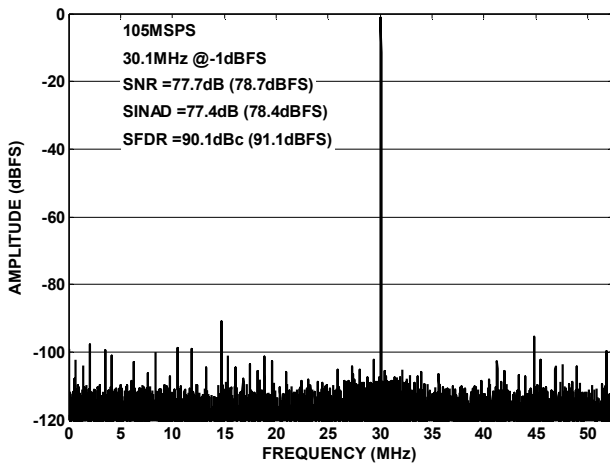


图 5. BLAD14D105 单音FFT($f_{IN} = 30.1\text{MHz}$)

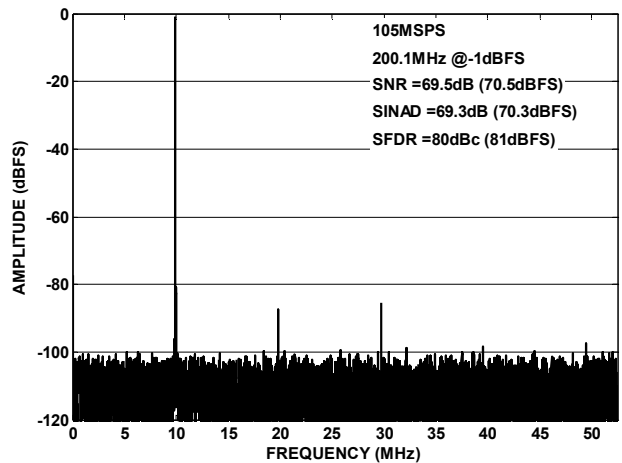


图 8. BLAD14D105 单音FFT($f_{IN} = 200.1\text{MHz}$)

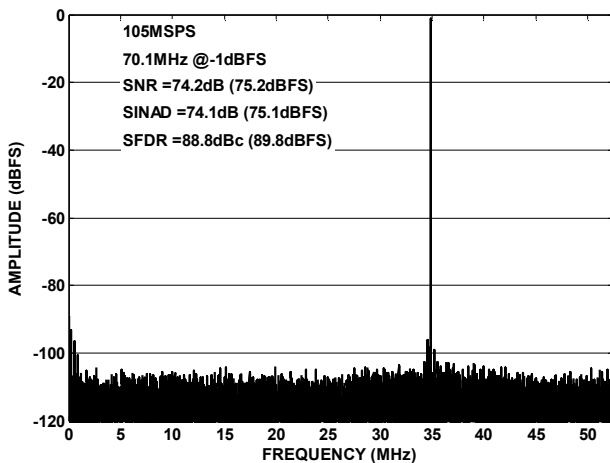


图 6. BLAD14D105 单音FFT($f_{IN} = 70.1\text{MHz}$)

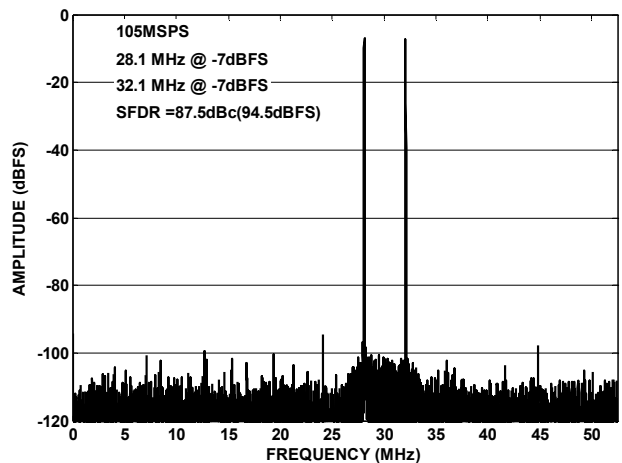


图 9. BLAD14D105 双音FFT($f_{IN}=28.1\text{MHz}$ 与 32.1MHz)

BLAD14D105

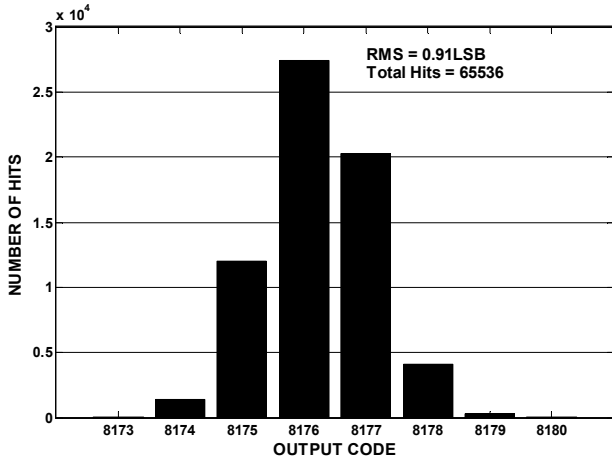


图 10. BLAD14D105输入接地时输出统计直方图

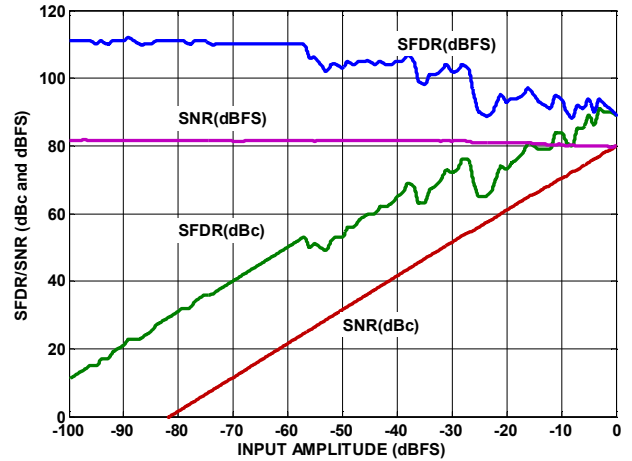


图 13. BLAD14D105单音SNR/SFDR与输入幅度(A_{IN})的关系($f_{IN} = 10.1$ MHz)

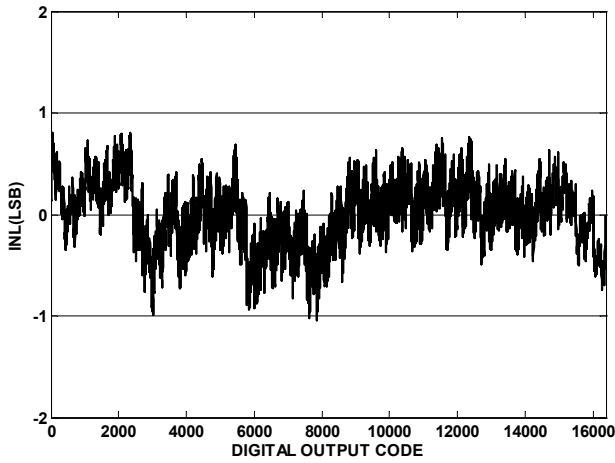


图 11. BLAD14D105 INL误差($f_{IN} = 10.1$ MHz)

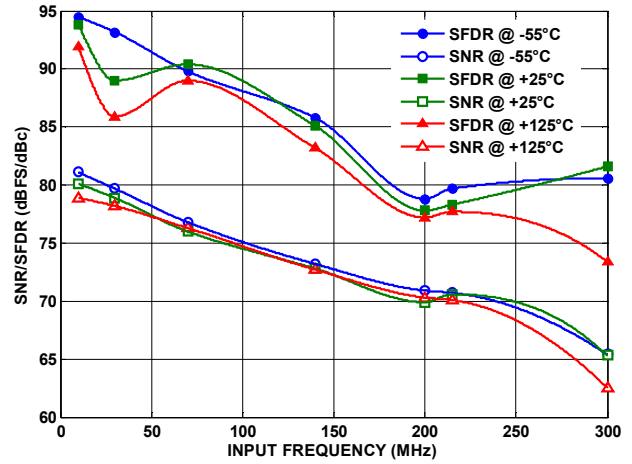


图 14. BLAD14D105单音SNR/SFDR与输入频率(f_{IN})的关系

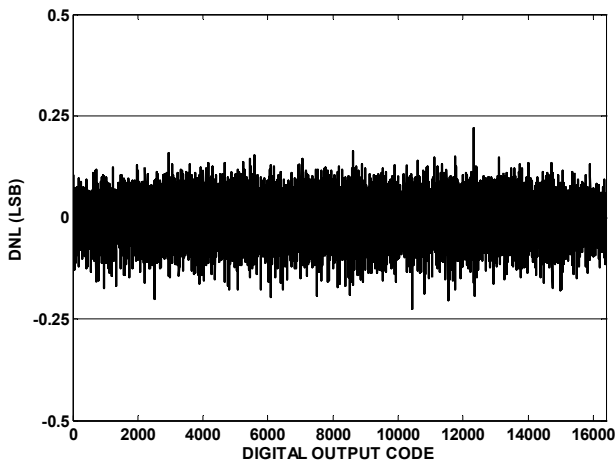


图 12. BLAD14D105 DNL误差($f_{IN} = 10.1$ MHz)

等效电路

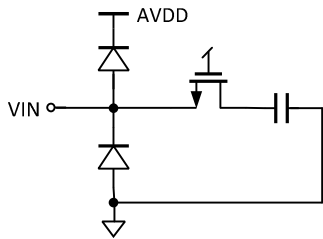


图 15. 模拟输入脚等效电路

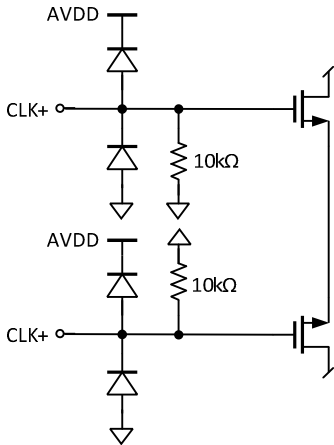


图 16. 时钟输入脚等效电路

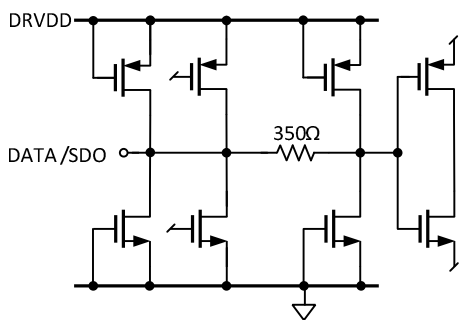


图 17. 数字输出脚等效电路

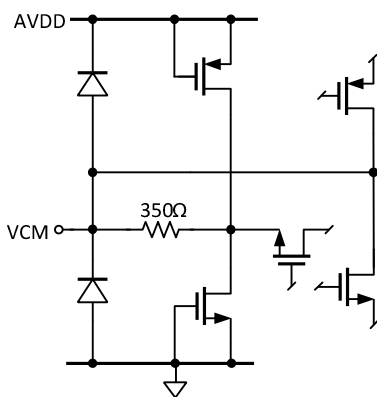


图 18. VCM 脚等效电路

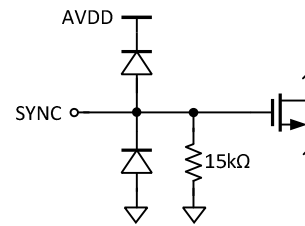


图 19. SYNC 脚等效电路

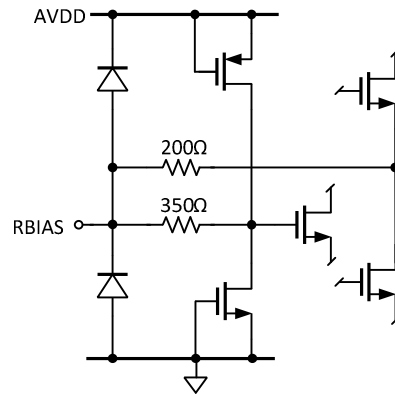


图 20. RBIAS 脚等效电路

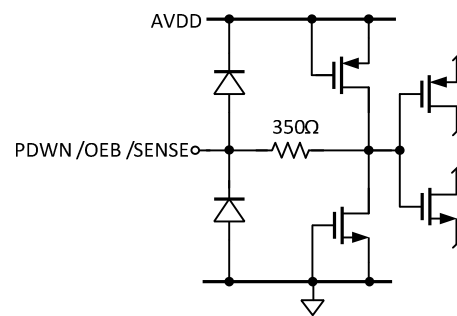


图 21. PDWN, OEB, SENSE 脚等效电路

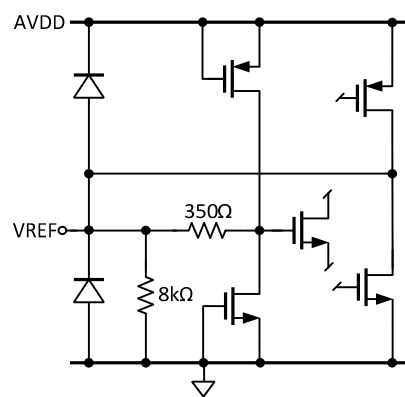


图 22. VREF 脚等效电路

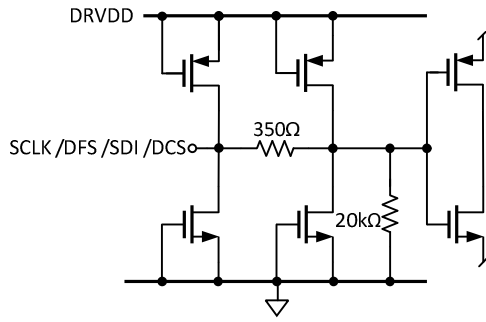


图 23. 数字输入脚等效电路

应用信息

工作原理

BLAD14D105是一款双通道开关电容式流水线ADC。每个通道的输入级包含一个差分采样电路,可在差分或单端模式下完成交流耦合或直流耦合。输出级模块能够实现数据对准、错误校正,且能将数据传输到输出缓冲器。输出缓冲器需要单独供电,以便将数字输出噪声与模拟内核隔离。在掉电期间,输出缓冲器进入高阻态。

模拟输入考虑

BLAD14D105的模拟输入端是一个差分开关电容电路(见图24)。根据时钟信号,输入在采样模式和保持模式间切换。在采样模式下,信号源将对采样电容充电,并且须在半个时钟周期内完成建立。

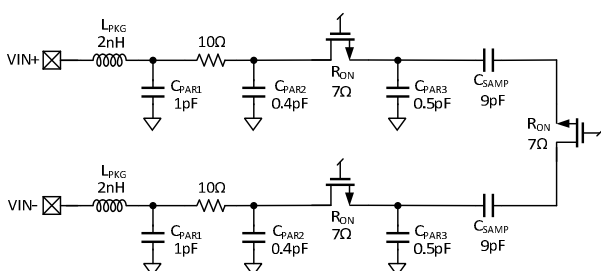


图 24. 开关电容输入

每个输入端均可串联一个小电阻,以降低驱动源输出级所需的峰值瞬态电流。还可以在两个输入端之间配置一个并联电容,以提供动态充电电流。此无源网络能在ADC输入端形成低通滤波器;并且这些电阻、电容的取值依赖于具体应用。

在中频(IF)欠采样应用中,需要去掉并联电容。因为并联电容与驱动源阻抗共同作用,会限制输入带宽。此外,为得到最佳动态性能,必须保证驱动 V_{IN+} 的源阻抗与驱动 V_{IN-} 的源阻抗相匹配,并且使两输入保持差分平衡。

ADC内核的满幅输入范围为 $2 \times V_{REF}$,正负基准电压由内部差分基准缓冲器提供。

输入共模

BLAD14D105的模拟输入端无内部直流偏置。在交流耦合应用中,通过 V_{CM} 引脚提供模拟输入共模电压(典型值为 $AVDD/2$)时,可实现芯片的最佳性能。此外,必须用一个 $0.1\mu F$ 电容对 V_{CM} 引脚去耦到地。

共模电压伺服环路

当输入采用交流耦合,且 V_{CM} 输出与模拟输入之间的电阻值超过 100Ω 时,电阻上可能会出现较大的压降,这时应使能共模电压伺服环路。

将寄存器0x0F的位0设置为逻辑高电平即可使能共模电压伺服环路。该模式下,BLAD14D105将监控模拟输入端的共模电平并调整 V_{CM} 脚的输出电压,以使共模输入电压保持在 $AVDD/2$ 。如果两个通道均工作,则伺服环路将只监控通道A。当通道A处于掉电或待机模式时,则监控通道B输入。

差分输入驱动电路

将BLAD14D105配置成为差分输入时,可实现最佳性能。在基带应用中,AD8138、ADA4937-2和ADA4938-2等差分驱动器能够为ADC提供出色的性能和灵活的接口。

通过BLAD14D105的 V_{CM} 引脚,可以方便地设置ADA4938-2的输出共模电压(见图25);驱动器可以配置为Sallen-Key滤波器拓扑电路结构,从而对输入信号进行带宽限制。

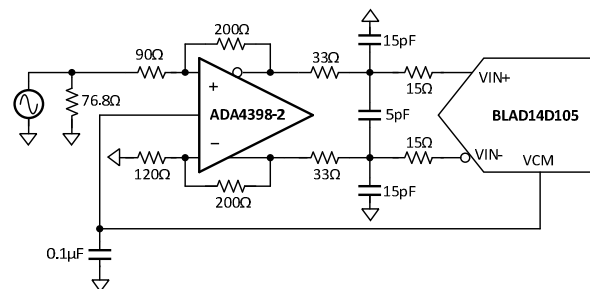


图 25. 利用ADA4938-2进行差分输入配置

在SNR极为关键的基带应用中,建议使用的输入配置是差分变压器耦合,如图26的示例。为实现模拟输入偏置,须将 V_{CM} 电压连接到至变压器次级绕组的中心抽头处。

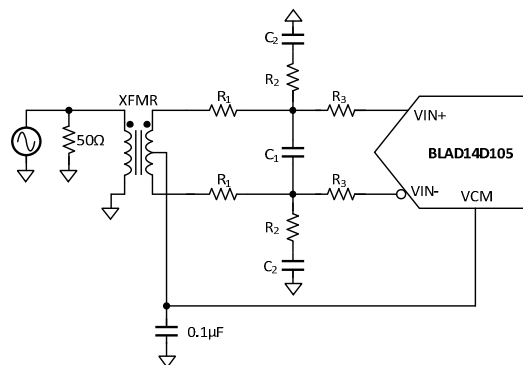


图 26. 差分变压器耦合配置

当输入频率处于第二或更高奈奎斯特区域时,大多数放大器的噪声性能均难以满足要求。在SNR为关键参数的应用中,建议使用的输入配置是差分双巴伦耦合(见图27)。在这种配置中,输入交流耦合, V_{CM} 通过一个 25Ω 电阻提供给各输入。这些电阻补偿输入巴伦的损耗,为驱动器提供 50Ω 阻抗。

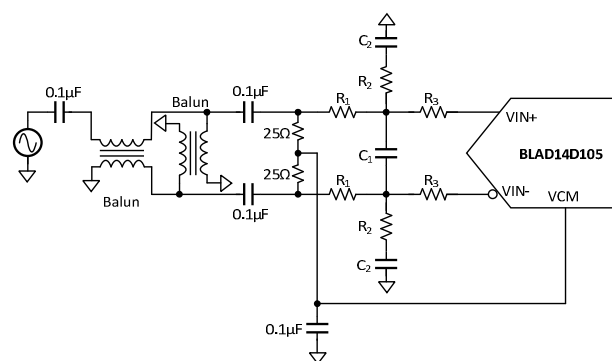


图 27. 差分双巴伦输入配置

BLAD14D105

在双巴伦和变压器配置中,输入电容和电阻的值取决于输入频率和源阻抗。表 8列出了设置RC网络的建议值。不过,这些值取决于输入信号,且只能用作初始参考。

表 8. RC网络示例

频率范围 (MHz)	R1 (Ω)	C1 (pF)	R2 (Ω)	C2 (pF)	R3 (Ω)
0~100	33	8.2	49.9	8.2	0
100~300	10	5	49.9	5	0

频率在第二奈奎斯特区域内的时候,除了使用变压器耦合输入外,还可以使用AD8352差分驱动器,实例如图 28所示。

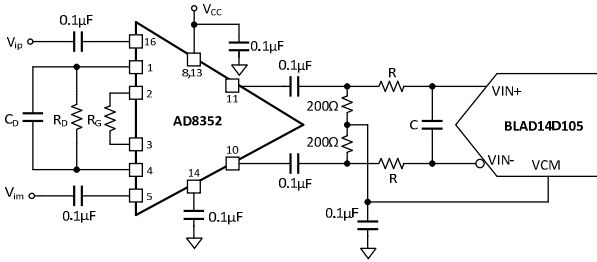


图 28. 利用AD8352进行差分输入配置

基准电压源

BLAD14D105内置稳定、精确、可调的基准电压源。在接下来的部分中,将对各种基准电压模式进行介绍。

内部基准电压连接

BLAD14D105的内置比较器可检测出SENSE引脚的电压,从而将基准电压配置成四种不同的模式(见表 9)。

表 9. 基准电压配置汇总

SENSE电压	所选模式
AVDD	外部基准电压
VREF	内部固定基准电压
0.2~VREF	可编程基准电压
AGND~0.2V	内部固定基准电压

如果SENSE引脚接地,则基准放大器开关与内部电阻分压器相连(见图 29),因而将VREF设为1.125 V(对于2.25 V峰峰值满量程输入)。在这种模式下,SENSE接地,也可以通过SPI端口调整满量程,方法是调整寄存器0x18的位6和位7。

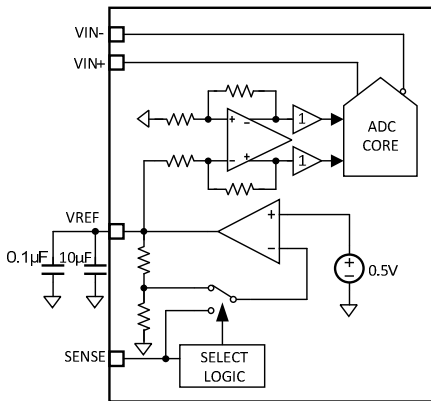


图 29. 内部基准电压配置

将SENSE引脚与VREF引脚相连,可将基准放大器输出端切换至SENSE引脚,从而形成一个环路,提供0.5 V基准输出电压(对于1 V峰峰值满量程输入)。

如果芯片与一个外部电阻分压器相连(如图 30),则开关也切换至SENSE引脚。这样,可使基准放大器进入同相模式;VREF输出端电压的计算公式如下:

$$V_{REF} = 0.5 \times (1 + R2/R1)$$

无论芯片使用内部基准电压还是外部基准电压,ADC的电压输入范围始终是基准电压引脚(VREF)电压的两倍。

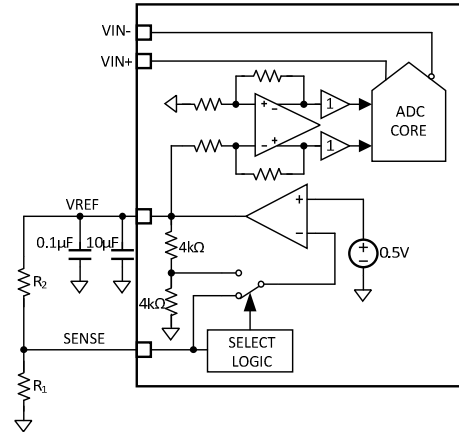


图 30. 可编程基准电压配置

外部基准电压

采用外部基准电压有可能进一步提高ADC增益精度、改善热漂移特性。

将SENSE引脚与AVDD相连,可以禁用内部基准电压,从而允许使用外部基准电压。内部基准缓冲器对外部基准电压等效为8 kΩ负载(见图 30)。内部缓冲器为ADC内核生成正、负满量程基准电压。因此,外部基准电压的最大值为1.125 V。

时钟输入考虑

为了充分发挥芯片的性能,应利用一个差分信号作为BLAD14D105采样时钟输入端(CLK+和CLK-)的时钟信号。通常,应使用一个变压器或两个电容器将该信号交流耦合到CLK+引脚和CLK-引脚内。CLK+和CLK-引脚有内部偏置(见图 31),无需外部偏置。如果这些输入悬空,应将CLK-引脚拉低以防止杂散时钟。

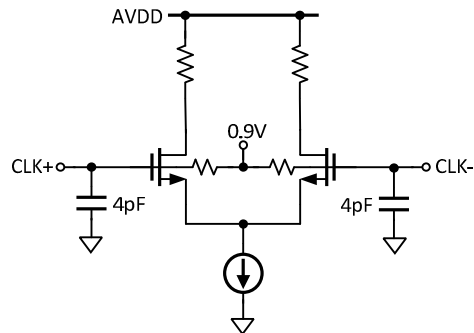


图 31. 等效时钟输入电路

时钟输入选项

BLAD14D105的时钟输入结构非常灵活。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，时钟源抖动都应给予足够重视。

图 32和图 33显示了两种为BLAD14D105提供时钟信号的首选方案(时钟速率可达625 MHz)。利用射频巴伦或射频变压器，可将低抖动时钟源的单端信号转换成差分信号。

对于125 MHz至625 MHz的时钟频率，建议采用射频巴伦配置；对于10 MHz至200 MHz的时钟频率，建议采用射频变压器配置。跨接在变压器/巴伦次级上的背对背肖特基二极管可以将输入到BLAD14D105中的时钟信号限制为约差分0.8V峰峰值。这样，既可以防止时钟的大电压摆幅馈通至BLAD14D105的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

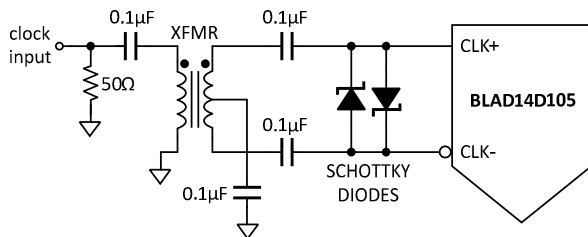


图 32. 变压器耦合差分时钟(频率可达200 MHz)

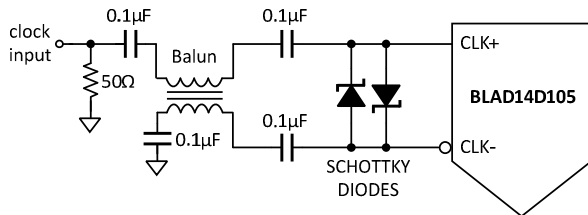


图 33. 巴伦耦合差分时钟(频率可达625 MHz)

第二种方法是使用差分PECL信号进行交流耦合(如图 34)。AD9510~AD9518时钟驱动器均具有出色的抖动性能。

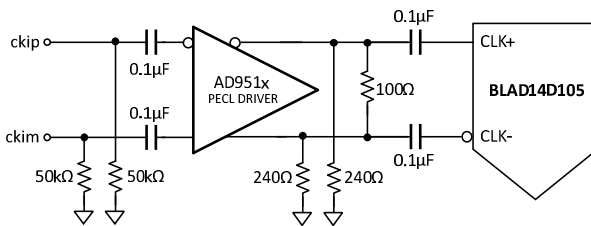


图 34. 差分PECL采样时钟(频率可达625 MHz)

第三种方法是使用差分LVDS信号交流耦合(如图 35)。

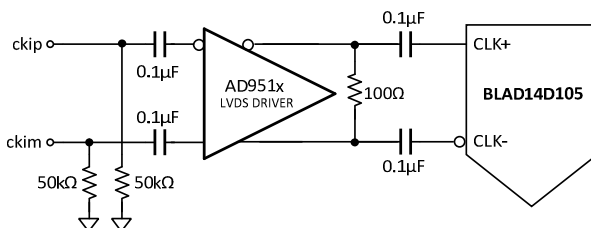


图 35. 差分LVDS采样时钟(频率可达625 MHz)

第四种方法是利用单端CMOS信号来驱动采样时钟输入。此时，CLK+引脚应直接由CMOS门电路驱动，CLK-引脚应通过一个0.1 μF电容旁路至地(见图 36)。

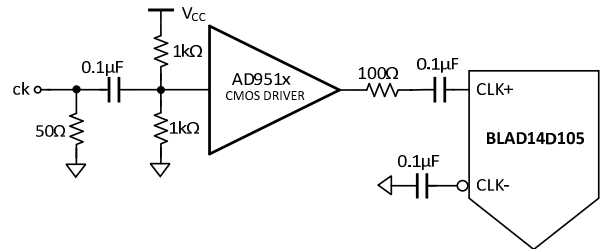


图 36. 单端1.8 V CMOS输入时钟(频率可达200 MHz)

输入时钟分频器

BLAD14D105内置一个输入时钟分频器，可对输入时钟进行1至8整数倍分频。当分频比为1、2、4、6、8，占空比稳定器(DCS)是可选的。对于其它分频比(3、5、7)，必须使能占空比稳定器才能保证器件正常工作。

利用外部SYNC输入信号，可同步BLAD14D105时钟分频器。通过对寄存器0x100的位1和位2进行写操作，可以设置每次收到SYNC信号或者仅第一次收到SYNC信号后，对时钟分频器再同步。有效SYNC可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速ADC利用两个时钟边沿产生一系列内部定时信号，因此，它对时钟占空比非常敏感。为保持ADC的动态性能，BLAD14D105对时钟占空比的容差有严格要求。

BLAD14D105内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，用户可提供的时钟输入占空比范围非常广，且不会影响BLAD14D105的性能。当DCS使能时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。

输入上升沿的抖动依然非常重要，且无法借助内部稳定电路来降低这种抖动。当时钟速率低于40 MHz(标称值)时，占空比控制环路失效。在时钟速率动态改变的应用中，必须考虑与环路相关的时间常量。在DCS环路重新锁定输入信号前，都需要等待1.5 μs至5 μs的时间。在环路处于非锁定状态时，DCS环路被旁路，内部器件定时取决于输入时钟信号的占空比。在此类应用中，建议禁用占空比稳定器。在所有其它应用中，建议使能DCS电路，以便获得最佳交流性能。

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。对于接近满量程的输入，在给定的输入频率(f_{in})下，由于抖动($t_{j,rms}$)造成的SNR下降(相对于低频信噪比 SNR_{LF})可通过下式计算：

$$SNR_{HF} = -10 \log \left[(2 \times \pi \times f_{in} \times t_{j,rms})^2 + 10^{(-SNR_{LF}/10)} \right]$$

BLAD14D105

上式中，均方根孔径抖动表示时钟输入抖动规格。中频欠采样应用对抖动尤其敏感，因此应尽量减小。

当孔径抖动可能影响BLAD14D105的动态范围时，应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要最后一步中利用原始时钟进行重定时。

通道/芯片同步

BLAD14D105有一个同步(SYNC)输入端，允许用户通过灵活的同步选项实现时钟分频器同步。时钟分频器的同步特性可保证多个ADC的采样时钟同步。可以使能输入时钟分频器以在第一次或每次出现SYNC信号时进行同步。

SYNC输入信号在内部与采样时钟同步，但为避免多个器件之间出现定时不确定性，SYNC输入信号应在外部与输入时钟信号同步，满足时序规格表所示的建立和保持时间要求。SYNC输入信号应由单端CMOS型信号驱动。

功耗和待机模式

图 37给出了BLAD14D105的功耗随着采样速率而变化。在CMOS输出模式下，数字功耗主要由数字驱动器的强度和每个输出位的负载大小决定。

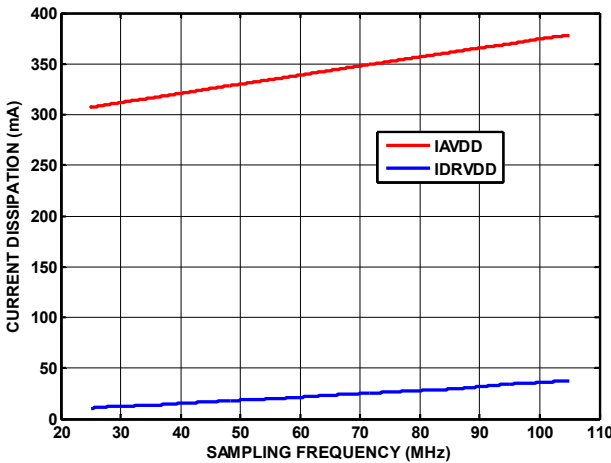


图 37. BLAD14D105 电流与时钟频率的关系(CMOS输出模式)

置位PDWN(通过SPI端口或将PDWN引脚置位高电平),可使BLAD14D105进入掉电模式。此时, ADC的典型功耗为11 mW, 输出驱动器处于高阻状态。将PDWN引脚置位低电平后, BLAD14D105返回正常工作模式。使用SPI接口时, 用户可将ADC置于掉电模式或待机模式。如需较短的唤醒时间, 可以使用待机模式, 该模式下内部基准电压电路处于通电状态。

数字输出

BLAD14D105输出驱动器只能配置为1.8V CMOS逻辑系列接口。在CMOS输出模式下, 输出驱动器应能够提供足够的输出电流, 以便驱动各种逻辑电路。然而, 大驱动电流可能导致在电源信号中产生毛刺脉冲, 影响转换器的性能。因此, 在那些需要ADC来驱动大容量负载或较大扇出的应用中, 可能需要用到外部缓冲器或锁存器。在外部引脚模式下, 设置SCLK/DFS引脚可以控制数据以偏移二进制格式或二进制补码格式输出。

数据输出使能功能(OEB)

BLAD14D105的数字输出引脚具有灵活的三态功能。三态模式通过OEB引脚或SPI接口使能。若OEB引脚处于低电平状态, 则使能输出数据驱动器和DCO。若OEB引脚处于高电平状态, 则将输出数据驱动器和DCO置于高阻态。

使用SPI接口时, 通过寄存器0x14的位4(输出使能位), 可以独立设置每个通道的数据输出和DCO三态。

时序

BLAD14D105提供流水线延迟为14个时钟周期的锁存数据。在经过时钟信号上升沿后的一个传播延迟时间(t_{PD})之后, 产生输出数据。

为降低BLAD14D105内大的瞬态电流响应, 应尽可能缩短输出数据线的长度并降低输出负载。否则可能会降低转换器的动态性能。

BLAD14D105的典型最低转换速率为10 MSPS。当时钟速率低于10 MSPS时, 芯片的动态性能会有所下降。

数据时钟输出(DCO)

BLAD14D105提供两路数据时钟输出(DCO)信号, 用于采集外部寄存器中的数据。在CMOS输出模式下, 数据输出在DCO的上升沿有效, 除非通过SPI改变了DCO时钟的极性。

表 10

输入(V)	条件	偏移二进制输出模式	二进制补码模式	超量程
$V_{IN+} - V_{IN-}$	$< -V_{REF} - 0.5LSB$	00 0000 0000 0000	10 0000 0000 0000	1
$V_{IN+} - V_{IN-}$	$= -V_{REF}$	00 0000 0000 0000	10 0000 0000 0000	0
$V_{IN+} - V_{IN-}$	$= 0$	10 0000 0000 0000	00 0000 0000 0000	0
$V_{IN+} - V_{IN-}$	$= +V_{REF} - 1.0LSB$	11 1111 1111 1111	01 1111 1111 1111	0
$V_{IN+} - V_{IN-}$	$= +V_{REF} - 0.5LSB$	11 1111 1111 1111	01 1111 1111 1111	1

设计指南

在进行BLAD14D105的系统设计和布局之前,建议设计者先熟悉下述设计指南,其中讨论了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

建议使用两个独立的1.8 V电源为BLAD14D105供电:一个用于模拟端(AVDD),一个用于数字输出端(DRVDD)。对于AVDD和DRVDD,应使用多个不同的去耦电容以覆盖高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置,并尽可能缩短走线长度。

BLAD14D105仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理的去耦和巧妙的分隔,可以轻松获得最佳的性能

裸露焊盘散热块建议

为获得最佳的电气性能和热性能,必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露(无阻焊膜)的连续铜平面应与BLAD14D105的裸露焊盘(引脚0)匹配。

铜平面上应有多个通孔,以便获得尽可能低的热阻路径以通过PCB底部进行散热。应当填充或堵塞这些通孔,防止通孔渗锡而影响连接性能。

为了最大化地实现ADC与PCB之间的覆盖与连接,应在PCB上覆盖一个丝印层,以便将PCB上的连续平面划分为多个均等的部分。这样,在回流焊过程中,可在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。

VCM

VCM引脚应通过一个0.1 μ F电容去耦至地。

RBIAS

BLAD14D105要求用户将10 k Ω 电阻置于RBIAS引脚与地之间。该电阻用来设置ADC内核的主基准电流,该电阻容差至少为1%。

基准电压源去耦

VREF引脚应通过外部一个低ESR 0.1 μ F陶瓷电容和一个低ESR 1.0 μ F电容的并联去耦至地。

SPI端口

当需要转换器充分发挥其全动态性能时,应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的,因此,这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线,则可能需要在该总线与BLAD14D105之间连接缓冲器,以防止这些信号在关键的采样周期内,在转换器的输入端发生变化。

串行端口接口(SPI)

BLAD14D105 串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器,以满足特定功能和操作的需要。SPI给用户提供额外的灵活性,可根据具体的应用进行定制。通过串行端口,可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织,并且可以进一步细分成多个区域,如存储器映射部分所述。

使用SPI的配置

该ADC的SPI由三部分组成: SCLK/DFS引脚、SDIO/DCS引脚和CSB引脚(见表 11)。

表 11. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入,用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚;通常用作输入或输出,取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号,用来选通读写周期。

SCLK/DFS(串行时钟)引脚用于同步ADC的读出和写入数据。SDIO/DCS(串行数据输入/输出)双功能引脚允许将数据发送至内部ADC存储器映射寄存器或从寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚,它能够使能或

者禁用读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图 38为串行时序图范例,相应的定义见表5。

CSB可以在多种模式下工作。当CSB始终维持在低电平状态时,器件一直处于使能状态;这称作流。CSB可以在字节之间停留在高电平,这样可以允许其他外部时序。CSB引脚拉高时,SPI功能处于高阻态模式。在该模式下,可以开启SPI引脚的第二功能。

在一个指令周期内,传输一条16位指令。在指令传输后将进行数据传输,数据长度由W0位和W1位共同决定。

除了字长,指令周期还决定串行帧是读操作指令还是写操作指令,从而通过串行端口对芯片编程或读取片上存储器内的数据。多字节串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。如果指令是回读操作,则执行回读操作会使串行数据输入/输出(SPIO)引脚的数据传输方向,在串行帧的一定位置由输入改为输出。

所有数据均由8位字组成。数据可通过MSB优先模式或LSB优先模式进行发送。芯片上电后,默认采用MSB优先的方式,可以通过SPI端口配置寄存器来更改数据发送方式。

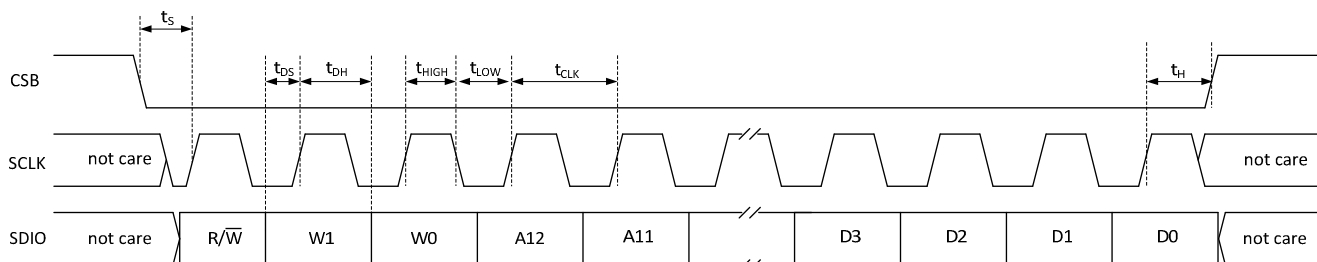


图 38. 串行端口接口时序图

硬件接口

表 12中所描述的引脚包括用户编程器件与BLAD14D105的串行端口之间的物理接口。当使用SPI接口时,SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚,在写入阶段,用作输入引脚;在回读阶段,用作输出引脚。

当不使用SPI接口时,有些引脚用作第二功能。在器件上电期间,当引脚与AVDD或接地端连接时,这些引脚可起到特定的作用。

不使用SPI的配置

在不使用SPI控制寄存器接口的应用中,SDIO/DCS引脚、SCLK/DFS引脚、OEB引脚和PDWN引脚用作独立的CMOS兼容控制引脚。当器件上电后,假设用户希望将这些引脚用作静态控制线,分别控制占空比稳定器、输出数据格式、输出使能和掉电特性控制。在此模式下,CSB片选引脚应与AVDD相连,用于禁用串行端口接口。

当器件处于SPI模式时,PDWN和OEB引脚仍然有效。为通过SPI控制输出使能和掉电,应将OEB和PDWN引脚设为默认状态。

表 12

引脚	外部电压	配置
SDIO/DCS	AVDD(默认) AGND	占空比稳定器使能 占空比稳定器禁用
SCLK/DFS	AVDD AGND(默认)	二进制补码使能 偏移二进制使能
OEB	AVDD AGND(默认)	输出处于高阻抗状态 输出使能
PDWN	AVDD AGND(默认)	芯片处于掉电或待机状态 正常工作

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为四个部分：芯片配置寄存器(地址0x00至地址0x02)；通道索引和传送寄存器(地址0x05至地址0xFF)；ADC功能寄存器，包括设置寄存器、控制寄存器和测试寄存器(地址0x08至地址0x30)；以及数字特性控制寄存器(地址0x100)。

存储器映射寄存器表(表 13)记录了每个十六进制地址及其十六进制默认值。位7(MSB)栏为给定十六进制默认值的起始位。例如，VREF选择寄存器(地址0x18)的十六进制默认值为0xC0。这表明，位7 = 1、位6 = 1、其余位均为0。此设置是默认的基准电压选择设置。默认值对应2.25V峰峰基准电压。

禁用的地址

此器件目前不支持表 13中未包括的所有地址和位。有效地址中未使用的位应写为0。在该地址(例如：地址0x18)仅有部分位处于禁用状态时，才可以对这些位置进行写操作。如果整个地址(例如：地址0x13)均禁用，则不应对该地址进行写操作。

默认值

BLAD14D105复位后，将向关键寄存器内载入默认值。表 13内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指将某位设置为逻辑0或向某位写入逻辑0。

传送寄存器映射

地址0x08至地址0x18被屏蔽。除非通过向地址0xFF写入0x01，设置传输位，以发出传输命令，否则，向这些地址进行写操作不会影响器件的运行。这样，设置传输位时，就可以在内部同时更新这些寄存器。设置传输位时，进行内部更新，且传输位自动清零。

特定通道寄存器

可通过编程，单独为每个通道设置某些通道功能(例如：掉电模式)。在这些情况下，每个通道在内部复制通道地址位置。这些寄存器及相应位被指定为局部寄存器(位)，见表 13。通过设置寄存器0x05的通道A位或通道B位，可访问这些局部寄存器及相应位。如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许将一个通道位(通道A位或通道B位)置位，以便对其中的一个或两个寄存器执行读操作。如果在一个SPI读周期内置位两个通道位，则器件返回通道A的值。表 13给出的全局寄存器及相应位会影响整个器件或通道的特性，不允许分别设置每个通道。寄存器0x05中的设置不影响全局寄存器及相应位的值。

存储器映像寄存器表

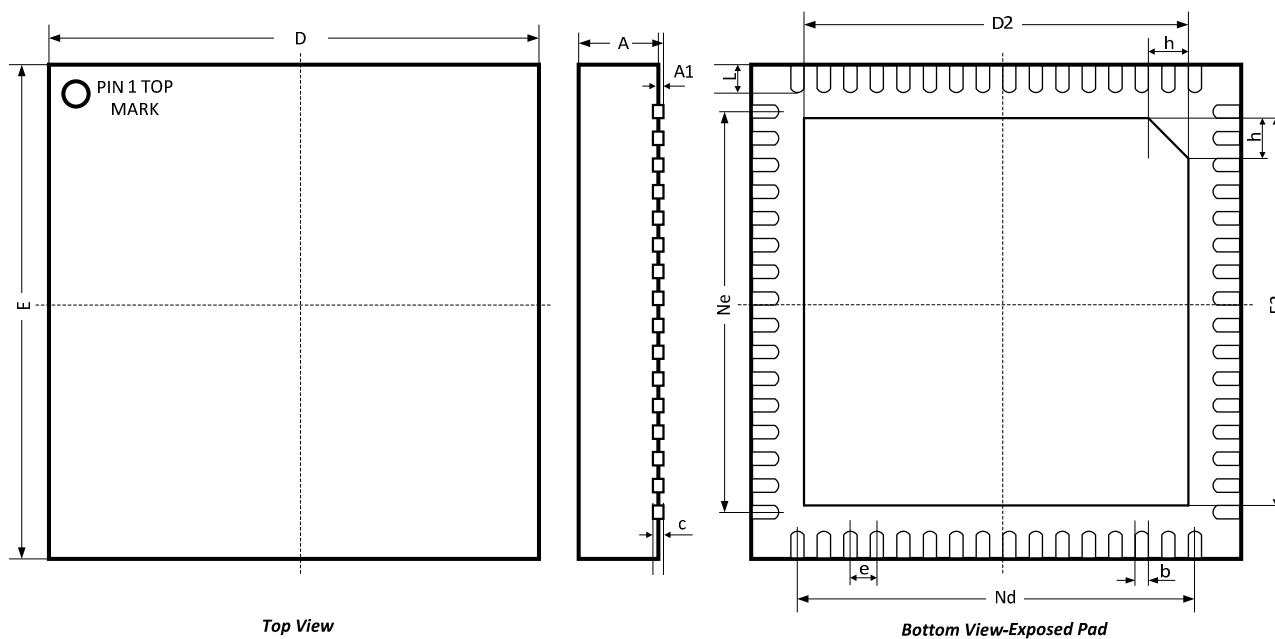
表 13. 存储器映像寄存器表

地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	默认值注释
<i>芯片配置寄存器</i>											
0x00	SPI端口配置 (全局)	0	LSB优先	软复位	1	1	软复位	LSB优先	0	0x18	半字节之间是镜像关系, 使得无论在何种移位模式下, LSB优先或MSB优先模式寄存器均能正确记录数据
0x01	芯片ID (全局)	8位芯片ID[7:0] (BLAD14D105=2A)(默认)								0x2A	只读
0x02	芯片等级 (全局)	禁用	禁用	速度等级ID 10=105MSPS	禁用	禁用	禁用	禁用	禁用		只读
<i>通道索引和传送寄存器</i>											
0x05	通道索引	禁用	禁用	禁用	禁用	禁用	禁用	数据通道B(默认)	数据通道A(默认)	0x03	默认状态下, 两个通道都被选择
0xFF	传送	禁用	禁用	禁用	禁用	禁用	禁用	禁用	传送	0x00	从主移位寄存器向从移位寄存器同步传输数据
<i>ADC功能</i>											
0x08	功耗模式 (局部)	禁用	禁用	外部掉电引脚功能 (局部) 0 = 掉电 1 = 待机	禁用	禁用	禁用	内部掉电模式(局部) 00 = 正常工作 01 = 完全掉电 10 = 待机 11 = 正常工作		0x00	
0x09	全局时钟 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比稳定器(默认)	0x01	默认状态下, 占空比稳定器使能
0x0B	时钟分频器 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	时钟分频比 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频 110 = 7分频 111 = 8分频		0x00	
0x0F	ADC输入 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	共模伺服使能	0x00	
0x14	输出模式	驱动强度 0 = 强驱动 1 = 弱驱动(全局)	禁用	禁用	输出使能 (局部)				输出格式 00 = 偏移二进制 01 = 二进制补码 01 = 格雷码 11 = 偏移二进制 (局部)	0x00	
0x17	DCO输出延迟 (全局)	禁用	禁用	禁用				DCO时钟延迟 00000=35ps 00001=70ps 00010=105ps		0x00	

BLAD14D105

地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	默认值注释
					... 11110=1050ps 11111=1085ps						
0x18	VREF选择 (全局)	基准电压选择 10 = 2.00 V p-p 11 = 2.25 V p-p(默认)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	0xC0	
数字特性控制											
0x100	同步控制 (全局)	禁用	禁用	禁用	禁用	禁用	时钟分频器仅与下一同步脉冲同步	时钟分频器同步使能	主机同步使能	0x00	

外形尺寸



符号	尺寸(毫米)		
	最小值	标准值	最大值
A	0.70	0.75	0.80
A1	---	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	8.90	9.00	9.10
D2	7.00	7.10	7.20
e	0.50BSC		
Ne	7.50BSC		
Nd	7.50BSC		
E	8.90	9.00	9.10
E2	7.00	7.10	7.20
L	0.35	0.40	0.45
h	0.30	0.35	0.40