



通用 LCD 驱动与控制电路 BL55087

BL55087 是一款专用于 COG 封装的通用型液晶控制和驱动单芯片, 具有 4 背极和 40 段极共 160 位元的输出能力, 适用于常用低占空比的字符/图形式液晶屏幕, BL55087 具有兼容多数微机系统的双向二线式串行总线通讯接口, 可以二个芯片级联使用, 具备自动地址增量功能。

1. 特点

- 单片 LCD 驱动/控制器
- 可选择背极驱动方式: 静态或 2/3/4 背极驱动控制
- 可选择显示偏置方式: 静态、1/2 或 1/3
- 具有电压跟随缓冲器的内部 LCD 偏压发生器
- 40 段驱动, 可驱动高达 20 个 8 段数字字符、10 个 15 段字母数字字符、或任何高达 160 个点素的图形。
- 40×4 位的显示数据存贮器
- 低功耗设计, 节电模式下 5V 动态工作电流为 14uA, 3.3V 动态工作电流为 9uA; 通过指令设置 SLEEP 模式时, 电流约为 1.5uA。
- 器件子地址显示数据的自动增量
- 静态和多极驱动方式中的显示存贮空间的自动切换
- 通用闪烁方式
- LCD 电源和逻辑电路电源可分别供应
- 宽电源范围: 从低阈值 LCD 的 2V 到 5.5V
- 低功耗
- I²C 总线接口
- TTL/CMOS 兼容
- 能和任何 4 位、8 位、16 位微处理器/微控制器兼容
- 可以级联 (高达 320 段)
- 对于电表用户满足缓上电和防倒灌应用要求。
- 封装: COG



2. 引脚说明

引脚定义如下:

编号	名称	定义
1~4	BP0~BP3	液晶板 BP 输出
5~44	S0~S39	液晶板 SEG 输出
45, 46	NC	
47, 48	SDA	二线串行总线数据信号
49, 50	SCL	二线串行总线时钟信号
51	SYNC	级联同步信号
52	CLK	外部时钟信号 (OSC=0: 输出; OSC=1: 输入)
53~57	Vdd	电源正级
58	OSC	时钟选择信号 (0: 内部时钟; 1: 外部时钟)
59	A0	总线子地址信号
60~64	Vss	电源负极
65~69	Vlcd	液晶工作低电位电压
70	CLK	与下一芯片的 CLK 互连
71	SYNC	与下一芯片的 SYNC 互连
72	SCL	与下一芯片的 SCL 互连
73	SDA	与下一芯片的 SDA 互连

BL55087 引脚的详细说明如下:

Dice Size: 4110um*680um

Bump Height: 15~20um

Chip Thickness: 525um

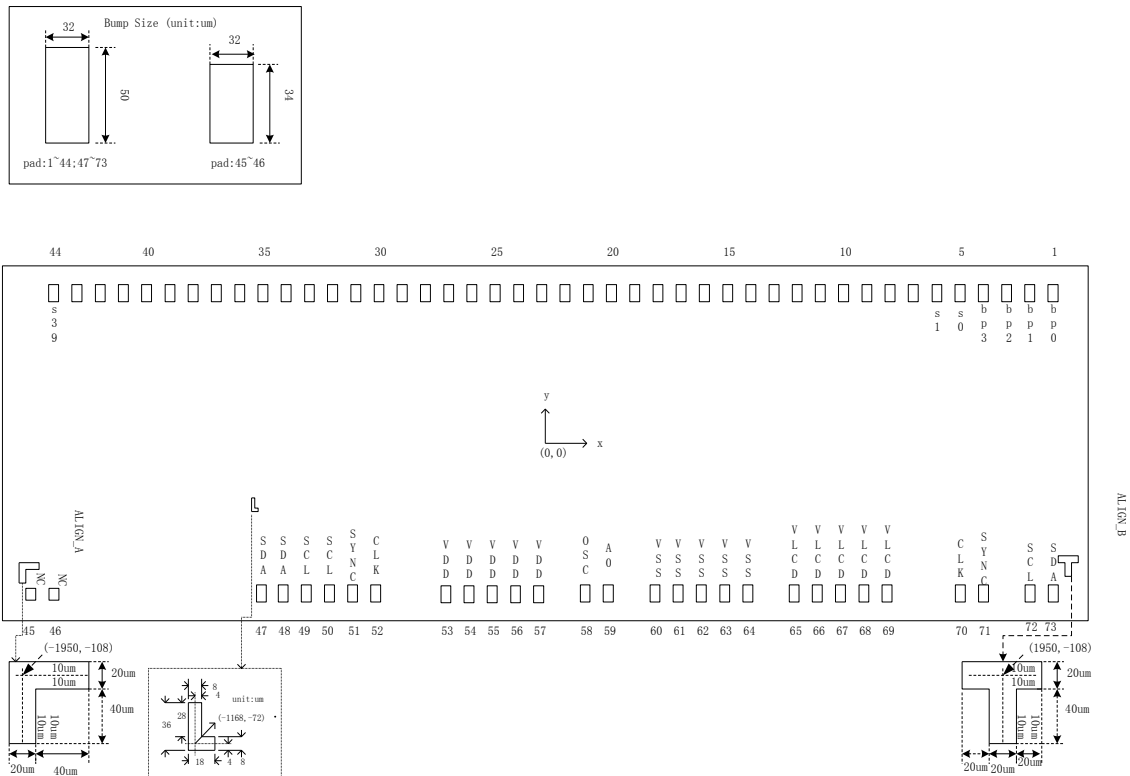
Bump Pitch: 90um(min.)

ITEM	NUMBER		SIZE		UNIT
			X	Y	
Chip Thickness			500um (暂定)		um
Pad pitch	All Pad		90		um
Bump size	Output pad	1~44	32	50	um
	In/out pad	47~52, 70~73	32	50	um
	Input pad	58, 59	32	50	um
	Power/GND pad	53~57, 60~69	32	50	um
	NC	45, 46	32	34	um
Bump height	All pad		15~20		um

注 1: pad 70 用于二芯片级连, 与 pad 52 内部相连。pad 71 用于二芯片级连, 与 pad 51 内部相连。pad 72 用于二芯片级连, 与 pad 49 内部相连。pad 73 用于二芯片级连, 与 pad 47 内部相连。



BL55087 的引脚如下图所示。



封装形式：COG

Pad Coordinates

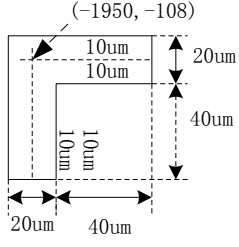
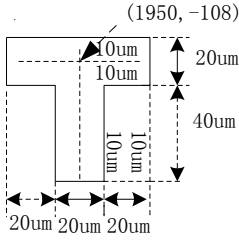
SYMBOL	PAD	COORDINATES	
		X	Y
BP0	1	1935	224.62
BP1	2	1845	224.62
BP2	3	1755	224.62
BP3	4	1665	224.62
S0	5	1575	224.62
S1	6	1485	224.62
S2	7	1395	224.62
S3	8	1305	224.62
S4	9	1215	224.62
S5	10	1125	224.62
S6	11	1035	224.62
S7	12	945	224.62
S8	13	855	224.62
S9	14	765	224.62
S10	15	675	224.62
S11	16	585	224.62
S12	17	495	224.62
S13	18	405	224.62
S14	19	315	224.62
S15	20	225	224.62
S16	21	135	224.62
S17	22	45	224.62



S18	23	-45	224.62
S19	24	-135	224.62
S20	25	-225	224.62
S21	26	-315	224.62
S22	27	-405	224.62
S23	28	-495	224.62
S24	29	-585	224.62
S25	30	-675	224.62
S26	31	-765	224.62
S27	32	-855	224.62
S28	33	-945	224.62
S29	34	-1035	224.62
S30	35	-1125	224.62
S31	36	-1215	224.62
S32	37	-1305	224.62
S33	38	-1395	224.62
S34	39	-1485	224.62
S35	40	-1575	224.62
S36	41	-1665	224.62
S37	42	-1755	224.62
S38	43	-1845	224.62
S39	44	-1935	224.62
NC	45	-1952.53	-202.17
NC	46	-1862.53	-202.17
SDA	47	-1145.93	-194.17
SDA	48	-1055.93	-194.17
SCL	49	-965.93	-194.17
SCL	50	-875.93	-194.17
SYNC	51	-785.93	-194.17
CLK	52	-695.93	-194.17
VDD	53	-425.93	-194.17
VDD	54	-335.93	-194.17
VDD	55	-245.93	-194.17
VDD	56	-155.93	-194.17
VDD	57	-65.93	-194.17
OSC	58	114.07	-194.17
A0	59	204.07	-194.17
VSS	60	384.07	-194.17
VSS	61	474.07	-194.17
VSS	62	564.07	-194.17
VSS	63	654.07	-194.17
VSS	64	744.07	-194.17
VLCD	65	924.07	-194.17
VLCD	66	1014.07	-194.17
VLCD	67	1104.07	-194.17
VLCD	68	1194.07	-194.17
VLCD	69	1284.07	-194.17
CLK	70	1554.07	-194.17
SYNC	71	1644.07	-194.17
SCL	72	1824.07	-194.17
SDA	73	1914.07	-194.17



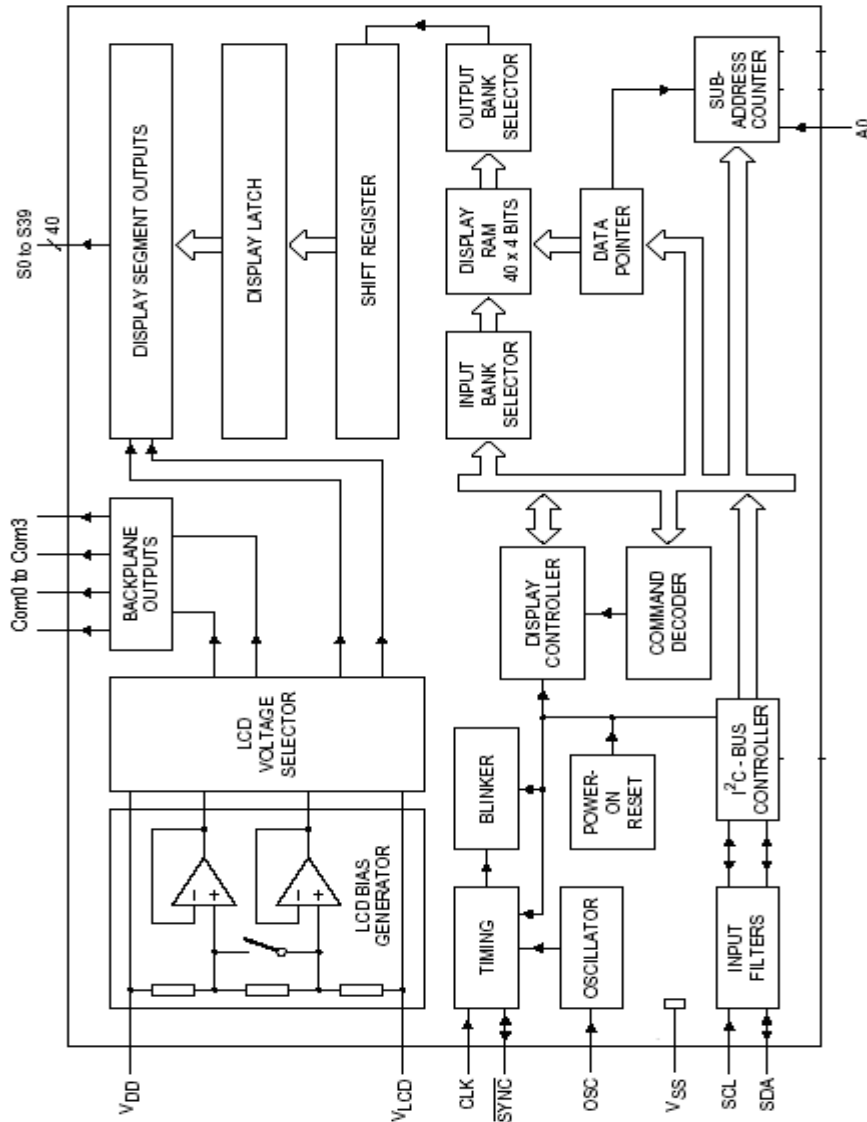
Alignment Marks

ITEM	SIZE
ALIGN_A	
ALIGN_B	

Note: Alignment marks are on metal2, under passivation.



3. 功能框图



4. 功能描述

4. 1. 功能电路

BL55087内部集成了LCD驱动器所必需的所有功能电路。这些电路包括:LCD偏置电压发生器、LCD电压选择器、内部时钟(OSC与VSS脚间连接电阻来实现,正常运行方式下=180KHz,节电运行方式下=30KHz,接VDD则使用外部时钟)、显示RAM、显示锁存器、移位寄存器、段/背极输出电路、输入/输出存储体选择器、闪烁电路、数据指针和子地址计数器。

4. 2. 显示驱动原理:

BL55087有32个段输出S0—S39和4个背极输出Com0—Com3,它们和LCD直接相连,当少于40个段输出和少于4个背极输出应用时,不用的段或背极可空出。BL55087共有静态1:2、1:3、1:4四种背极输出方式,允许使用1/2或1/3两种偏置电压。

显示内容和RAM地址之间的关系可见下表:



显示 RAM 地址和 SEGMENT (S0~S39) 输出													
COM (Com0- Com3) 输出	0	1	2	3	。	。	。	。	36	37	38	39	
	0												
	1												
	2												
	3												

表 2

当要显示的数据传送给 BL55087 后, BL55087 将接收到的字节数据按照所选择的 LCD 驱动方式填充在显示 RAM 中。图 2 示出了在不同的驱动方式下 7 段显示器的显示填充顺序。

方式	LCD 段	LCD 背极	显示 RAM 填充顺序	发送的显示字节																																																															
静态			<table border="1"> <tr> <th>BP</th> <th>n</th> <th>n+1</th> <th>n+2</th> <th>n+3</th> <th>n+4</th> <th>n+5</th> <th>n+6</th> <th>n+7</th> </tr> <tr> <td>0</td> <td>c</td> <td>b</td> <td>a</td> <td>f</td> <td>g</td> <td>e</td> <td>d</td> <td>DP</td> </tr> <tr> <td>1</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> </tr> <tr> <td>2</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> </tr> <tr> <td>3</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> </tr> </table>	BP	n	n+1	n+2	n+3	n+4	n+5	n+6	n+7	0	c	b	a	f	g	e	d	DP	1	*	*	*	*	*	*	*	*	2	*	*	*	*	*	*	*	*	3	*	*	*	*	*	*	*	*	<table border="1"> <tr> <td>MSB</td> <td colspan="7">c b a f g e d</td> <td>LSB</td> </tr> <tr> <td colspan="9">DP</td> </tr> </table>	MSB	c b a f g e d							LSB	DP								
BP	n	n+1	n+2	n+3	n+4	n+5	n+6	n+7																																																											
0	c	b	a	f	g	e	d	DP																																																											
1	*	*	*	*	*	*	*	*																																																											
2	*	*	*	*	*	*	*	*																																																											
3	*	*	*	*	*	*	*	*																																																											
MSB	c b a f g e d							LSB																																																											
DP																																																																			
1:2 多极			<table border="1"> <tr> <th>BP</th> <th>n</th> <th>n+1</th> <th>n+2</th> <th>n+3</th> </tr> <tr> <td>0</td> <td>a</td> <td>f</td> <td>e</td> <td>d</td> </tr> <tr> <td>1</td> <td>b</td> <td>g</td> <td>c</td> <td>DP</td> </tr> <tr> <td>2</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> </tr> <tr> <td>3</td> <td>*</td> <td>*</td> <td>*</td> <td>*</td> </tr> </table>	BP	n	n+1	n+2	n+3	0	a	f	e	d	1	b	g	c	DP	2	*	*	*	*	3	*	*	*	*	<table border="1"> <tr> <td>MSB</td> <td colspan="4">a b f g e c d</td> <td>LSB</td> </tr> <tr> <td colspan="6">DP</td> </tr> </table>	MSB	a b f g e c d				LSB	DP																															
BP	n	n+1	n+2	n+3																																																															
0	a	f	e	d																																																															
1	b	g	c	DP																																																															
2	*	*	*	*																																																															
3	*	*	*	*																																																															
MSB	a b f g e c d				LSB																																																														
DP																																																																			
1:3 多极			<table border="1"> <tr> <th>BP</th> <th>n</th> <th>n+1</th> <th>n+2</th> </tr> <tr> <td>0</td> <td>b</td> <td>a</td> <td>f</td> </tr> <tr> <td>1</td> <td>DP</td> <td>d</td> <td>e</td> </tr> <tr> <td>2</td> <td>c</td> <td>g</td> <td>*</td> </tr> <tr> <td>3</td> <td>*</td> <td>*</td> <td>*</td> </tr> </table>	BP	n	n+1	n+2	0	b	a	f	1	DP	d	e	2	c	g	*	3	*	*	*	<table border="1"> <tr> <td>MSB</td> <td colspan="3">b DP c a d g f e</td> <td>LSB</td> </tr> </table>	MSB	b DP c a d g f e			LSB																																						
BP	n	n+1	n+2																																																																
0	b	a	f																																																																
1	DP	d	e																																																																
2	c	g	*																																																																
3	*	*	*																																																																
MSB	b DP c a d g f e			LSB																																																															
1:4 多极			<table border="1"> <tr> <th>BP</th> <th>n</th> <th>n+1</th> </tr> <tr> <td>0</td> <td>a</td> <td>f</td> </tr> <tr> <td>1</td> <td>c</td> <td>e</td> </tr> <tr> <td>2</td> <td>b</td> <td>g</td> </tr> <tr> <td>3</td> <td>DP</td> <td>d</td> </tr> </table>	BP	n	n+1	0	a	f	1	c	e	2	b	g	3	DP	d	<table border="1"> <tr> <td>MSB</td> <td colspan="2">a c b DP f e g d</td> <td>LSB</td> </tr> </table>	MSB	a c b DP f e g d		LSB																																												
BP	n	n+1																																																																	
0	a	f																																																																	
1	c	e																																																																	
2	b	g																																																																	
3	DP	d																																																																	
MSB	a c b DP f e g d		LSB																																																																

图 2

4. 3. 二线-串行通信总线协议

见图3。BL55087的二线-串行通信总线协议由起始+ 从地址 + 指令字节 + 数据 + 停止构成。BL55087的从地址为0111000。在起始条件后, 紧接着发送从地址。在从地址之后为一个或多个 ($m \geq 1$ 个字节) 指令字节 (COMMAND), 用来定义所寻址的 BL55087 状态, 指令字节中的最高位 “C” 用以标明是否是最后一个指令字节, 当 C=“1” 时表示后面的字节仍是指令字节; 当 C=“0” 时则表明该字节为最后一个指令字节。最后一个指令字节之后为一系列显示数据字节 (DIS DATA), 这些显示数据存放在显示 RAM 中, 由数据指针和子地址计数器指示的地址上。数据指针和子地址计数器可自动变更, 数据直接装载到指定的 BL55087 上, 在每个字节之后的应答位由符合 A0 地址的 BL55087 提供, 在主控制器发送完最后一个字节后产生一个终止条件 P。

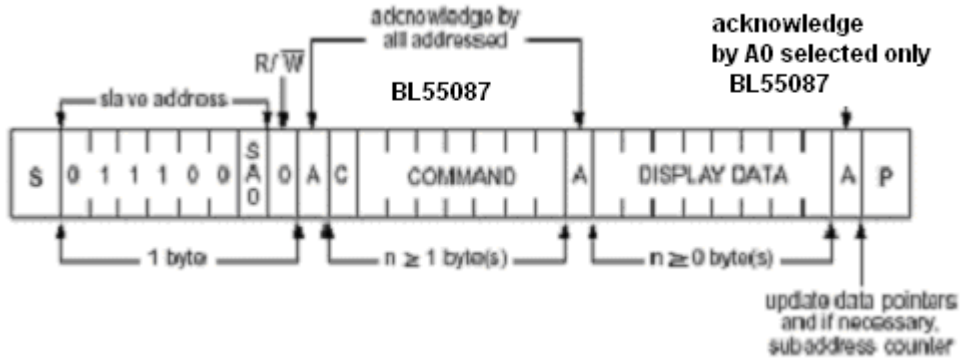
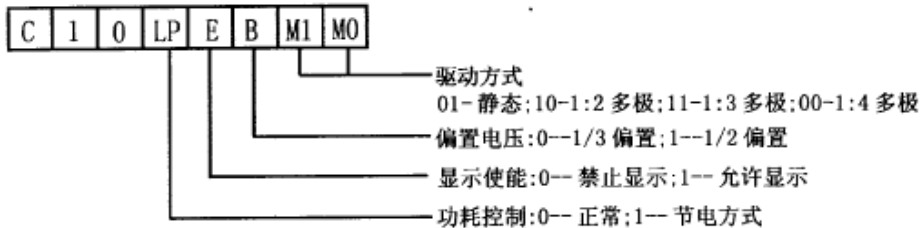


图 3

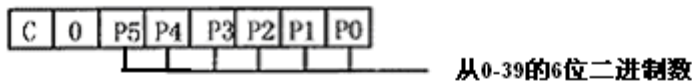
4. 4. BL55087的控制命令

BL55087 共有 5 个控制命令字。命令和数据都是以字节的形式发送到 BL55087, 它们的区别在于传送字节的最高位 C, 当 C=1 时表示其后传送的字节仍是命令; C=0 表示其后传送的字节是最后一个命令, 接下来传送的是一系列数据。下面列出了常用的几个命令的细节:

A. 方式设定



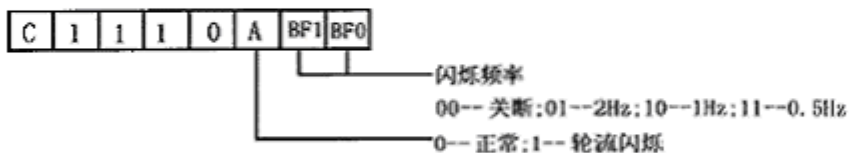
B. 数据指针 (要显示的起始地址, 对应段输出 S0--S39 的某一段)



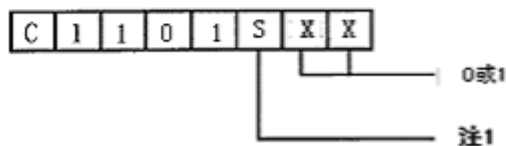
C. 器件选择



D. 闪烁控制



E. 睡眠控制



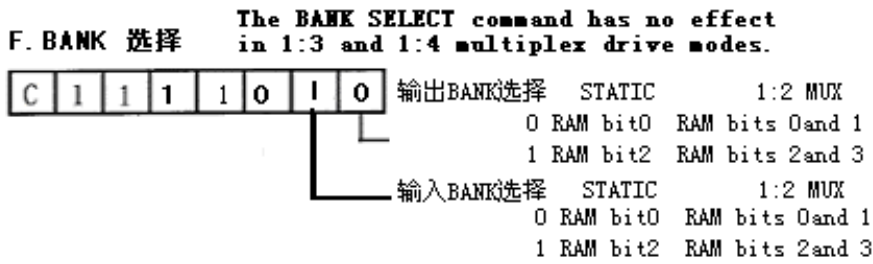


图 5

注 1: 睡眠控制如下: 默认 S=0。如 S=1, 则在二线-串行通信总线的” stop” 接收后, 进入睡眠状态, 内部振荡停止。唤醒睡眠则是在与本器件符合的从地址接收后, 即重启内部振荡, 睡眠被唤醒。如从地址不符合, 睡眠不能被唤醒。另外, 在睡眠状态下, 可以输入任何非睡眠命令和/或数据串, 在二线-串行通信总线的” stop” 接收后, 器件重新进入睡眠状态。

注 2: 在 power-saving 模式下, 二线-串行通信总线的传输速率 (即: SCL 的频率) 必须小于 20kHz。

注 3: 工作在 1/3 偏置时, 须有 Vdd - Vlcd ≥ 2.9V。

极限参数

参 数	符 号	参数范围	单 位
电源电压	Vdd	-0.5~+6.0	V
液晶工作电压	Vlcd	0~ Vdd	V
输入电压 SDA、SCL	Vi	Vss-0.5~Vdd+0.5	V
输出电压 SEG、COM	Vo	Vlcd-0.5~Vdd+0.5	V
Vdd, Vss, Vlcd 电流	Idd, Iss, Ilcd	-50~+50	mA
最大功耗	Ptot	400	mW
工作温度	Topr	-40~ +75	°C
贮存温度	Tstg	-65~ +150	°C

表 6

直流电参数 (除非特别指明, Ta=25°C)

符号	参 数	测试条件	最小值	典型值	最大值	单位
Vdd	工作电压		2.5	-	5.5	V
Vlcd	液晶工作电压		0	-	Vdd-2	V
Idd1	工作电流	Vdd=5V, VLCD=0V, Normal mode, 内部振荡	-	25	50	uA
Idd2	工作电流	Vdd=5V, VLCD=0V, Power-save mode, 内部振荡	-	14	30	uA
Idd3	工作电流	Vdd=3.3V, VLCD=0V, Normal mode, 内部振荡	-	16	30	uA
Idd4	工作电流	Vdd=3.3V, VLCD=0V, Power-save mode, 内部振荡	-	9	15	uA
Isl	睡眠电流	Vdd=5V, VLCD=0V	-	1.5	-	uA
ViL	输入低电平电压	SDA, SCL	Vss	-	0.3Vdd	V
ViH	输入高电平电压	SDA, SCL	0.7Vdd	-	Vdd	V
Rph	上拉电阻	SYNC	30	50	100	kΩ

表 7

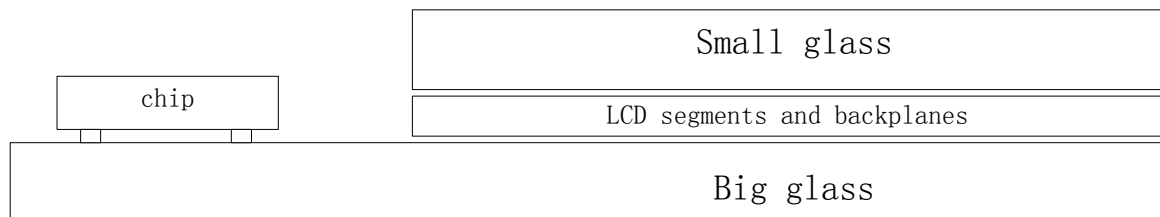
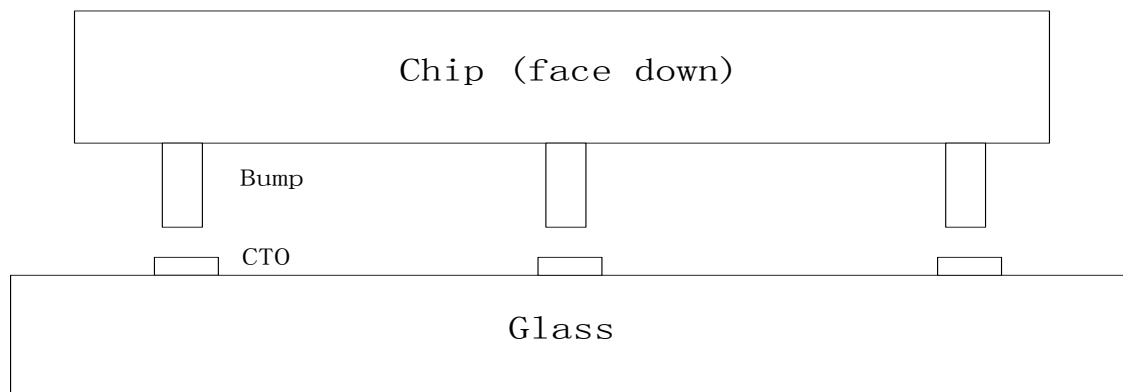


交流电参数 (除非特别指明, $T_a=25^{\circ}\text{C}$)

符号	参数	测试条件	最小值	典型值	最大值	单位
Fclk	振荡频率	Vdd=5V, normal mode	125	180	300	KHz
Fclk	振荡频率	Vdd=3.3V, power-save mode	21	31	48	KHz
TclkH/L	振荡半周期		1	-	3	us
Tsh1	SCL启动延迟		5	-		us
Tsh2	SDA启动延迟		5	-		Us
Tlow	脉冲低		5	-		us
Thig	脉冲高		4	-		us
Thd	脉冲延迟		250			ns

表8

5. COG封装示意图如下:



6. 时序图

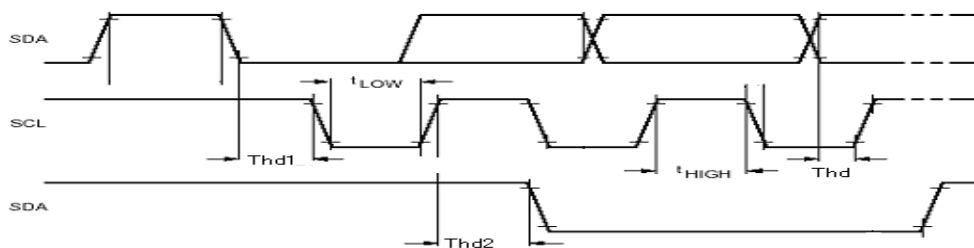


图6

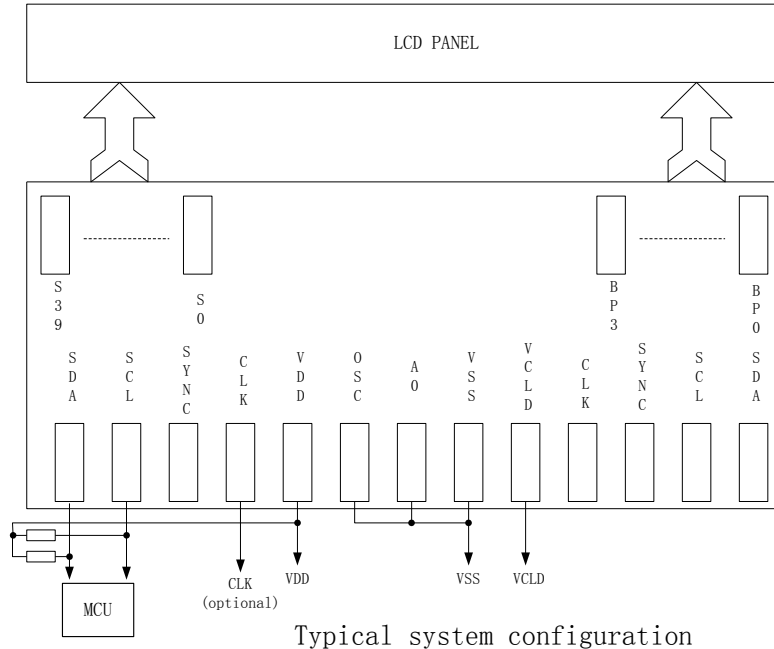


7. 典型应用

注意: 1. Vlcd 必须接一恒定电压, 可由电阻分压获得, 或直接接地。

2. I²C 通讯空闲状态下, SDA、SCL 管脚需拉高, 否则可能无法进入节电功耗模式

单片应用图如下:



级联应用图如下:

